

Ein GPS nachgeführtes Frequenznormal für 10 MHz auf der Basis eines VC-TCXOs

Von der Idee zur funktionstüchtigen Leiterplatte

Ulrich Habel^{hul}

¹Dipl.-Ing. (FH) Nachrichtentechnik
Hochschule Mannheim, Fakultät für Informationstechnik,
Institut für Hochfrequenztechnik

60. UKW-Tagung 2015

- Frequenzgenerator mit definiertem Muttertakt
- Frequenzzähler mit definiertem Muttertakt
- Spektrumanalysatoren (Spek), als Referenzfrequenz
- Vektorielle Netzwerk Analysatoren (VNA), als Referenzfrequenz

- Frequenzgenerator mit definiertem Muttertakt
- Frequenzzähler mit definiertem Muttertakt
- Spektrumanalysatoren (Spek), als Referenzfrequenz
- Vektorielle Netzwerk Analysatoren (VNA), als Referenzfrequenz

- Frequenzgenerator mit definiertem Muttertakt
- Frequenzzähler mit definiertem Muttertakt
- Spektrumanalysatoren (Spek), als Referenzfrequenz
- Vektorielle Netzwerk Analysatoren (VNA), als Referenzfrequenz

- Frequenzgenerator mit definiertem Muttertakt
- Frequenzzähler mit definiertem Muttertakt
- Spektrumanalysatoren (Spek), als Referenzfrequenz
- Vektorielle Netzwerk Analysatoren (VNA), als Referenzfrequenz

- Frequenzgeneratoren & Oszillatoren für präzise Frequenzerzeugung:
 - z.B. für Gleichwellenrundfunk, synchronisierte SDR-Radio Kommunikation
 - Muttertakt für PLL und DDS-Systeme für Funkssysteme

- Frequenzgeneratoren & Oszillatoren für präzise Frequenzerzeugung:
 - z.B. für Gleichwellenrundfunk, synchronisierte SDR-Radio Kommunikation
 - Muttertakt für PLL und DDS-Systeme für Funkssysteme

- Frequenzgeneratoren & Oszillatoren für präzise Frequenzerzeugung:
 - z.B. für Gleichwellenrundfunk, synchronisierte SDR-Radio Kommunikation
 - Muttertakt für PLL und DDS-Systeme für Funkssysteme

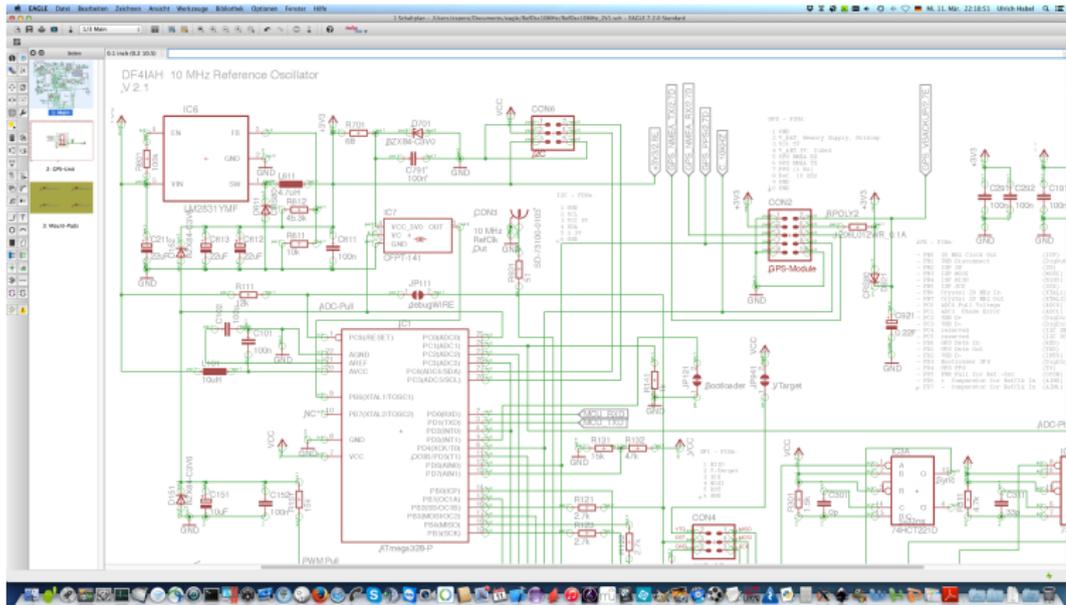
- Eagle seit Jahren namhafter Hersteller für Leiterplattenentflechtungs-Software
- Autorouter durchaus brauchbar, besser manche Teilbereiche von Hand entflechten
- Intuitive Bedienung und leicht einprägsamer Ablauf
- problemlose Akzeptanz bei den gängigsten Leiterplatten-Herstellern

- Eagle seit Jahren namhafter Hersteller für Leiterplattenentflechtungs-Software
- Autorouter durchaus brauchbar, besser manche Teilbereiche von Hand entflechten
- Intuitive Bedienung und leicht einprägsamer Ablauf
- problemlose Akzeptanz bei den gängigsten Leiterplatten-Herstellern

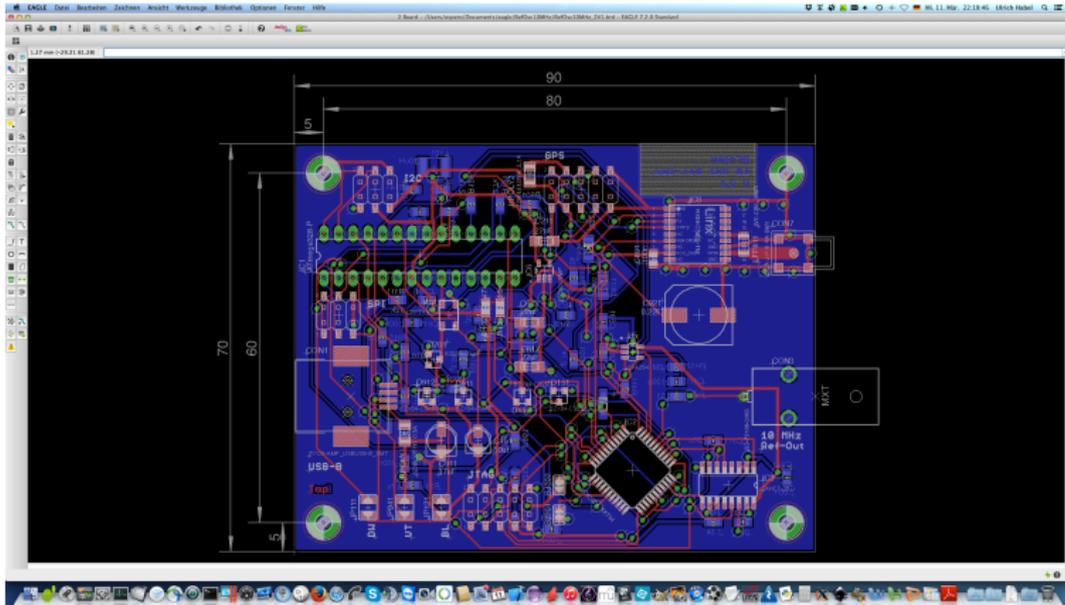
- Eagle seit Jahren namhafter Hersteller für Leiterplattenentflechtungs-Software
- Autorouter durchaus brauchbar, besser manche Teilbereiche von Hand entflechten
- Intuitive Bedienung und leicht einprägsamer Ablauf
- problemlose Akzeptanz bei den gängigsten Leiterplatten-Herstellern

- Eagle seit Jahren namhafter Hersteller für Leiterplattenentflechtungs-Software
- Autorouter durchaus brauchbar, besser manche Teilbereiche von Hand entflechten
- Intuitive Bedienung und leicht einprägsamer Ablauf
- problemlose Akzeptanz bei den gängigsten Leiterplatten-Herstellern

Eagle - Beispiel einer Schaltungsangabe



Eagle - Beispiel einer Entflechtung



- VHDL als Logikbeschreibungssprache konzernübergreifend nutzbar, durch Normierung abgesichert
- Leistungsfähige Tools für Dateneingabe und zur Simulation von verschiedenen Herstellern verfügbar
- Verilog wäre für diese Entwicklung ebenfalls auf gleicher Augenhöhe möglich gewesen

- VHDL als Logikbeschreibungssprache konzernübergreifend nutzbar, durch Normierung abgesichert
- Leistungsfähige Tools für Dateneingabe und zur Simulation von verschiedenen Herstellern verfügbar
- Verilog wäre für diese Entwicklung ebenfalls auf gleicher Augenhöhe möglich gewesen

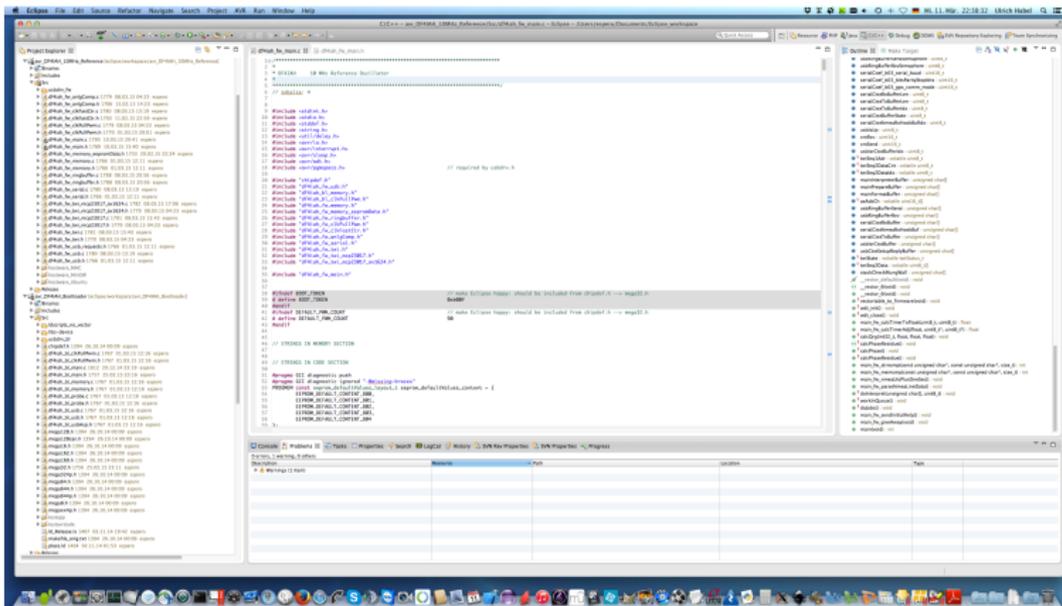
- VHDL als Logikbeschreibungssprache konzernübergreifend nutzbar, durch Normierung abgesichert
- Leistungsfähige Tools für Dateneingabe und zur Simulation von verschiedenen Herstellern verfügbar
- Verilog wäre für diese Entwicklung ebenfalls auf gleicher Augenhöhe möglich gewesen

- Eclipse ist eine Open-Source IDE zur Software-Erstellung
- basiert auf Java und war ursprünglich für Java-Entwicklung gebaut worden
- durch eine Vielzahl von Plugins sehr leistungsfähig geworden:
 - C und C++ Entwicklung möglich, AVR-Eclipse Plugin für die ATmega-Baureihe der Atmel Controller
 - Versionierungssysteme wie Subversion (SVN) und GIT vorhanden
 - Plattformübergreifende Entwicklung auf MAC, Linux und Windows-PCs möglich

- Eclipse ist eine Open-Source IDE zur Software-Erstellung
- basiert auf Java und war ursprünglich für Java-Entwicklung gebaut worden
- durch eine Vielzahl von Plugins sehr leistungsfähig geworden:
 - C und C++ Entwicklung möglich, AVR-Eclipse Plugin für die ATmega-Baureihe der Atmel Controller
 - Versionierungssysteme wie Subversion (SVN) und GIT vorhanden
 - Plattformübergreifende Entwicklung auf MAC, Linux und Windows-PCs möglich

- Eclipse ist eine Open-Source IDE zur Software-Erstellung
- basiert auf Java und war ursprünglich für Java-Entwicklung gebaut worden
- durch eine Vielzahl von Plugins sehr leistungsfähig geworden:
 - C und C++ Entwicklung möglich, AVR-Eclipse Plugin für die ATmega-Baureihe der Atmel Controller
 - Versionierungssysteme wie Subversion (SVN) und GIT vorhanden
 - Plattformübergreifende Entwicklung auf MAC, Linux und Windows-PCs möglich

Eclipse – Software-Entwicklung mit AVR-Eclipse-Plugin



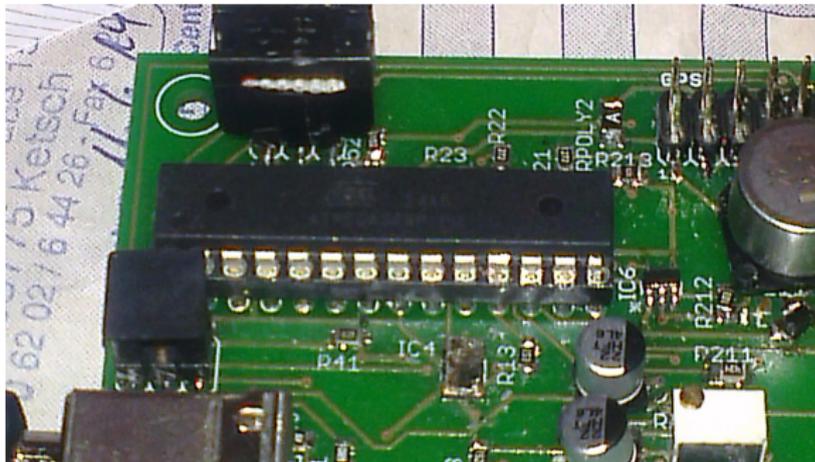
- Schaltplaneingabe zur Layout-Erstellung:
 - Cad-Soft: EAGLE HOBBYIST, 166,60 EUR
- CPLD Entwicklung in VHDL:
 - Lattice: ispLEVER (VHDL-Eingabe) & Diamond Programmer, kostenlos
 - Lattice: JTAG USB Download-Cable, 153,96 EUR
- AVR-Software-Entwicklung:
 - Eclipse und AVR-Plugin, kostenlos
 - AVR-Programmcode Download: [USBasp](#), unter 15 EUR.
Alternativ **AVR Dragon** für rund 62 US-\$ (Distributor: [Avnet](#))

- Schaltplaneingabe zur Layout-Erstellung:
 - Cad-Soft: EAGLE HOBBYIST, 166,60 EUR
- CPLD Entwicklung in VHDL:
 - Lattice: ispLEVER (VHDL-Eingabe) & Diamond Programmer, kostenlos
 - Lattice: JTAG USB Download-Cable, 153,96 EUR
- AVR-Software-Entwicklung:
 - Eclipse und AVR-Plugin, kostenlos
 - AVR-Programmcode Download: [USBasp](#), unter 15 EUR.
Alternativ **AVR Dragon** für rund 62 US-\$ (Distributor: [Avnet](#))

- Schaltplaneingabe zur Layout-Erstellung:
 - Cad-Soft: EAGLE HOBBYIST, 166,60 EUR
- CPLD Entwicklung in VHDL:
 - Lattice: ispLEVER (VHDL-Eingabe) & Diamond Programmer, kostenlos
 - Lattice: JTAG USB Download-Cable, 153,96 EUR
- AVR-Software-Entwicklung:
 - Eclipse und AVR-Plugin, kostenlos
 - AVR-Programmcode Download: [USBasp](#), unter 15 EUR.
Alternativ **AVR Dragon** für rund 62 US-\$ (Distributor: [Avnet](#))

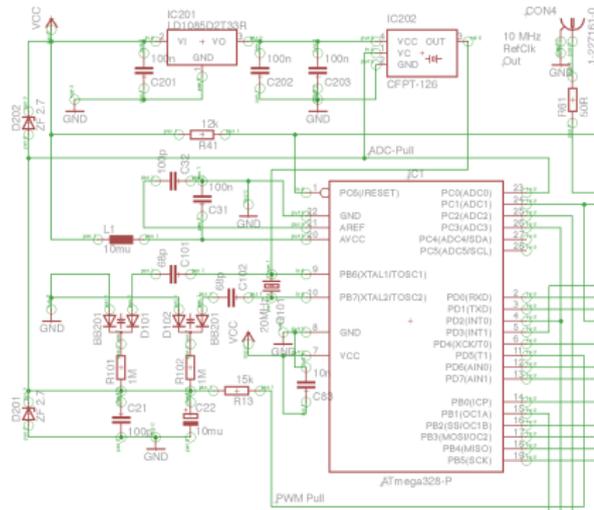
- Schaltplaneingabe zur Layout-Erstellung:
 - Cad-Soft: EAGLE HOBBYIST, 166,60 EUR
- CPLD Entwicklung in VHDL:
 - Lattice: ispLEVER (VHDL-Eingabe) & Diamond Programmer, kostenlos
 - Lattice: JTAG USB Download-Cable, 153,96 EUR
- AVR-Software-Entwicklung:
 - Eclipse und AVR-Plugin, kostenlos
 - AVR-Programmcode Download: [USBasp](#), unter 15 EUR.
Alternativ **AVR Dragon** für rund 62 US-\$ (Distributor: [Avnet](#))

- Atmel ATmega 328P (AVR) als MCU
 - preiswert: unter 3,50 EUR als Einzelbauteil
 - 20 MHz RISC Prozessor mit reichhaltigen I/O-Komponenten
 - als 28-poliger DIL-Baustein leicht für Nachbauprojekte nutzbar
 - enthält I²C-Bus kompatible Schnittstelle (»TWI«)



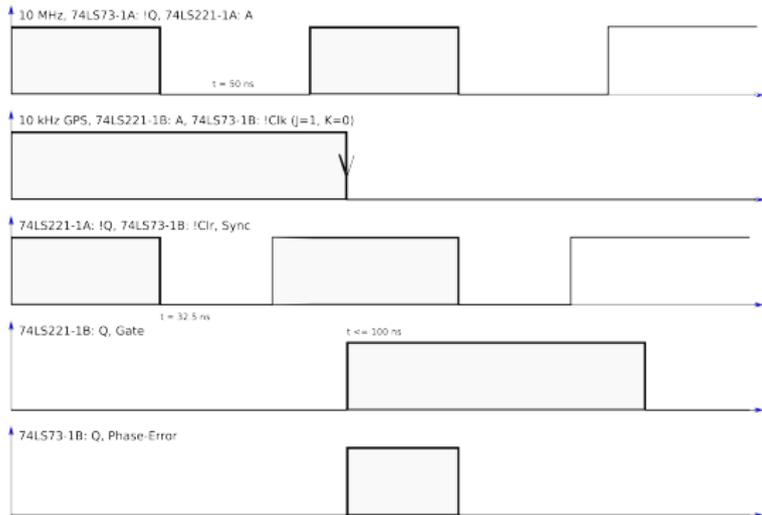
Von der Idee des eingezogenen Quarzes . . .

DF4IAH 10 MHz Reference Oscillator
V 1.3



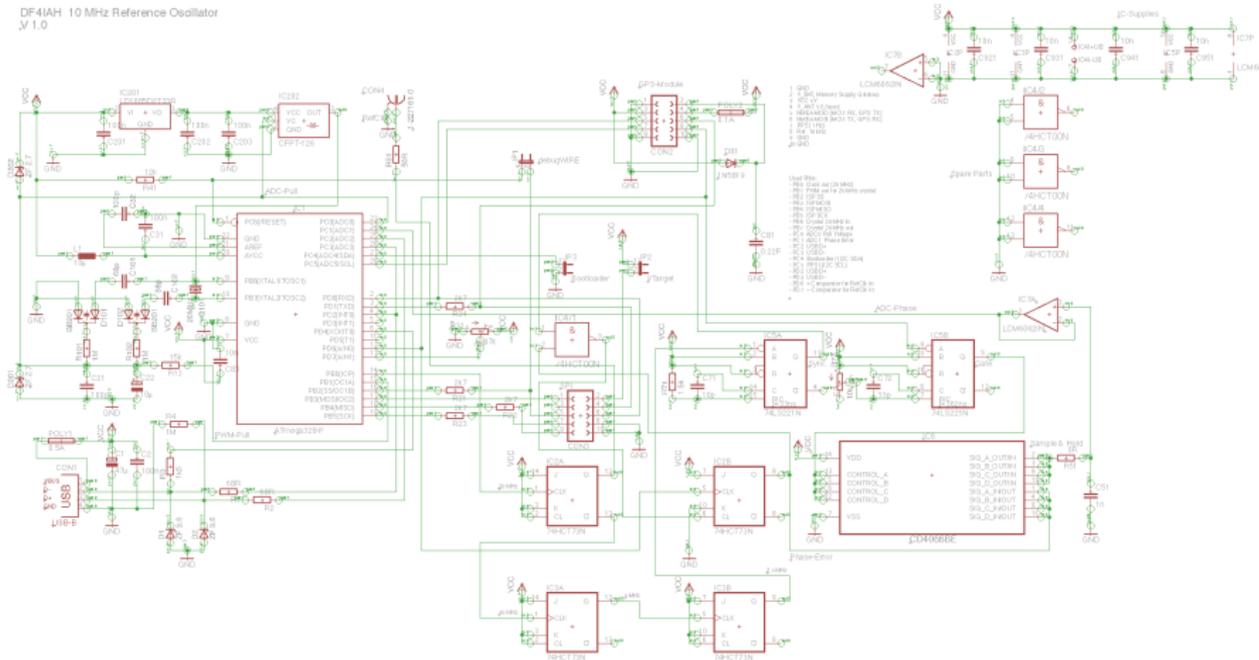
... und Realisierung des Phasen-Diskriminators ...

DF4IAH 10 MHz GPS Ref.-Osc.



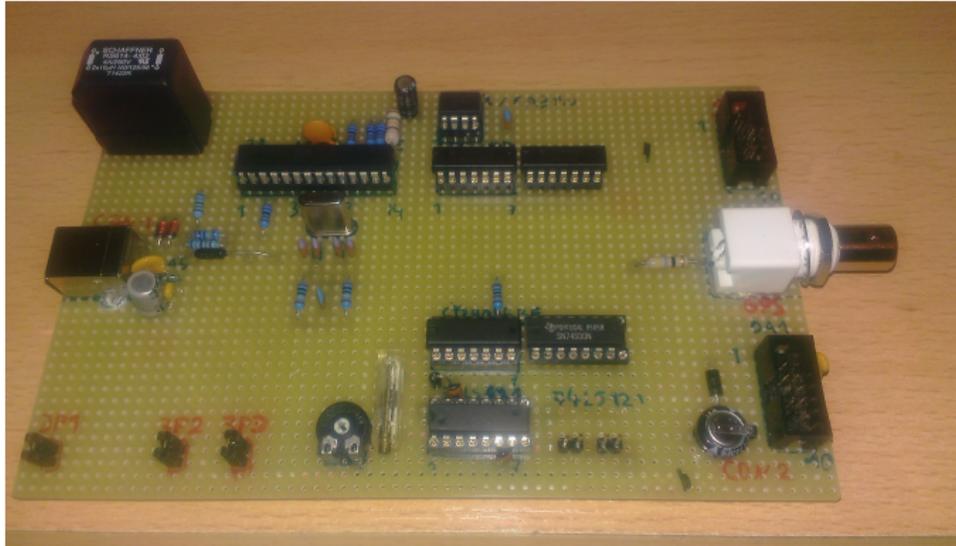
... über das fertige Layout ...

DF4IAH 10 MHz Reference Oscillator
V1.0

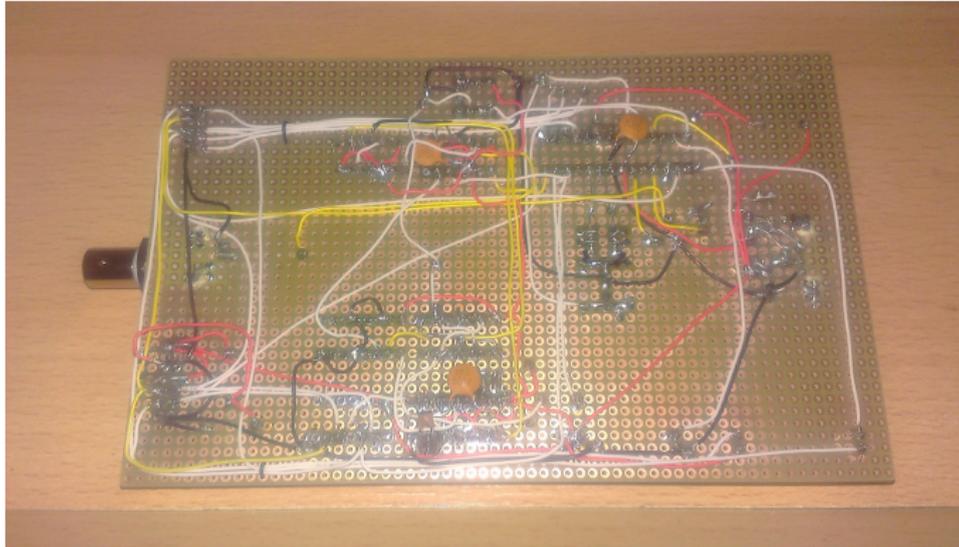


+

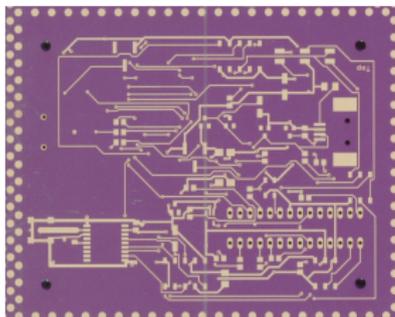
... zum ersten funktionsfähigen Handaufbau (1)



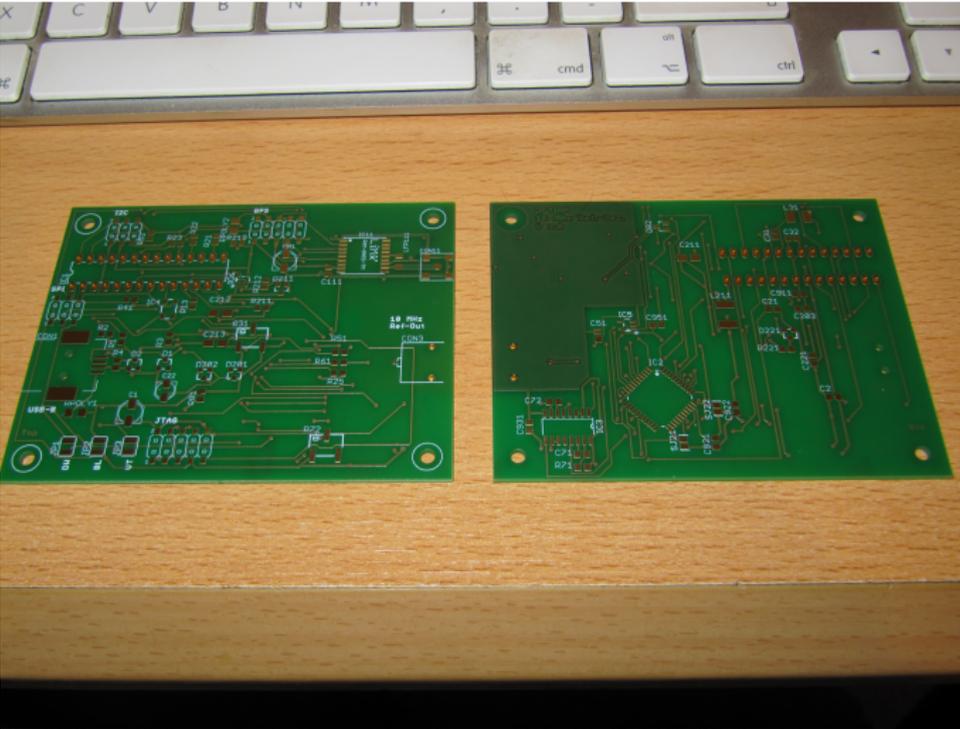
... zum ersten funktionsfähigen Handaufbau (2)



- Hervorragende Beschreibung des Bestell- und Zulieferverfahrens
- Eagle-Board-Datei kann einfach »hochgeladen« werden
- es erfolgte eine Datensichtung, zwei Fehler wurden mir gemeldet, die ich noch korrigieren konnte
- Bearbeitungszwischenschritte werden auf Wunsch dokumentiert, siehe Bild:



Erster Versuch zur Herstellung einer kommerziell gefertigten, doppelseitigen Leiterplatte



Stückweises Einschalten und in Betrieb nehmen (1)

- 1 Zuerst werden die Bauteile der Stromversorgung aufgebaut und dann schrittweise eingeschaltet:
 - Fremdeinspeisung durch strombegrenztes Labornetzteil
 - Schaltregler Impulse analysieren und »nachtunen«
- 2 Oszillatator(en) werden aufgebaut und aktiviert:
 - Zunahme der Stromaufnahme überprüfen
 - das »Ziehverhalten« des VC-TCXOs überprüfen
 - und dabei die Spannung für die Nominalfrequenz bestimmen
- 3 Danach folgt AVR-Controller mit Firmware-Programmierung und Anmeldung am USB-Bus
- 4 Nach der CPLD-Programmierung müssen Phasenvergleichersignale für den AVR-Controller anliegen

Stückweises Einschalten und in Betrieb nehmen (1)

- 1 Zuerst werden die Bauteile der Stromversorgung aufgebaut und dann schrittweise eingeschaltet:
 - Fremdeinspeisung durch strombegrenzttes Labornetzteil
 - Schaltregler Impulse analysieren und »nachtunen«
- 2 Oszillatator(en) werden aufgebaut und aktiviert:
 - Zunahme der Stromaufnahme überprüfen
 - das »Ziehverhalten« des VC-TCXOs überprüfen
 - und dabei die Spannung für die Nominalfrequenz bestimmen
- 3 Danach folgt AVR-Controller mit Firmware-Programmierung und Anmeldung am USB-Bus
- 4 Nach der CPLD-Programmierung müssen Phasenvergleichersignale für den AVR-Controller anliegen

Stückweises Einschalten und in Betrieb nehmen (1)

- 1 Zuerst werden die Bauteile der Stromversorgung aufgebaut und dann schrittweise eingeschaltet:
 - Fremdeinspeisung durch strombegrenzttes Labornetzteil
 - Schaltregler Impulse analysieren und »nachtunen«
- 2 Oszillatator(en) werden aufgebaut und aktiviert:
 - Zunahme der Stromaufnahme überprüfen
 - das »Ziehverhalten« des VC-TCXOs überprüfen
 - und dabei die Spannung für die Nominalfrequenz bestimmen
- 3 Danach folgt AVR-Controller mit Firmware-Programmierung und Anmeldung am USB-Bus
- 4 Nach der CPLD-Programmierung müssen Phasenvergleichersignale für den AVR-Controller anliegen

Stückweises Einschalten und in Betrieb nehmen (1)

- 1 Zuerst werden die Bauteile der Stromversorgung aufgebaut und dann schrittweise eingeschaltet:
 - Fremdeinspeisung durch strombegrenzttes Labornetzteil
 - Schaltregler Impulse analysieren und »nachtunen«
- 2 Oszillatator(en) werden aufgebaut und aktiviert:
 - Zunahme der Stromaufnahme überprüfen
 - das »Ziehverhalten« des VC-TCXOs überprüfen
 - und dabei die Spannung für die Nominalfrequenz bestimmen
- 3 Danach folgt AVR-Controller mit Firmware-Programmierung und Anmeldung am USB-Bus
- 4 Nach der CPLD-Programmierung müssen Phasenvergleich-Signale für den AVR-Controller anliegen

Stückweises Einschalten und in Betrieb nehmen (2)

- als vorletztes kommt das GPS-Modul mit dem 1PPS-Signal und der NMEA 0183-Datenübertragung an die Reihe
- zuletzt die I²C-Schnittstelle – die Pins waren bereits reserviert und dazu noch etwas Platz im ATmega 328P: Anschluss eines LCD-Moduls

Stückweises Einschalten und in Betrieb nehmen (2)

- als vorletztes kommt das GPS-Modul mit dem 1PPS-Signal und der NMEA 0183-Datenübertragung an die Reihe
- zuletzt die I²C-Schnittstelle – die Pins waren bereits reserviert und dazu noch etwas Platz im ATmega 328P: Anschluss eines **LCD-Moduls**

- Viele neue integrierte Schaltungen sind nur noch als SMD-Varianten erhältlich – nicht auf den Spass mit den neuen Bauteilen verzichten, sondern SMD-Technik dazu lernen!
- SMD-Installation ist leichter als man zunächst annimmt. SMD-Löttechnik und -Handhabung ist erlernbar und mit dem richtigen Werkzeug macht es Spass damit zu arbeiten
- PCB-Design-Rules von dem Leiterplatten-Hersteller herunterladen, installieren und verstehen. Möglichst die Begrenzung der »Design-Rules« nicht vorzeitig ausschöpfen sondern Design-Reserven vorsehen
- »Angstloch« in der Platine vorsehen – nachträgliche Fädeldrahtinstallationen zwischen Vorder- und Rückseite somit ermöglichen

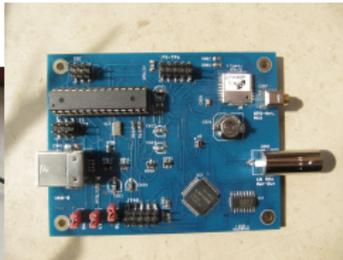
- Viele neue integrierte Schaltungen sind nur noch als SMD-Varianten erhältlich – nicht auf den Spass mit den neuen Bauteilen verzichten, sondern SMD-Technik dazu lernen!
- SMD-Installation ist leichter als man zunächst annimmt. SMD-Löttechnik und -Handhabung ist erlernbar und mit dem richtigen Werkzeug macht es Spass damit zu arbeiten
- PCB-Design-Rules von dem Leiterplatten-Hersteller herunterladen, installieren und verstehen. Möglichst die Begrenzung der »Design-Rules« nicht vorzeitig ausschöpfen sondern Design-Reserven vorsehen
- »Angstloch« in der Platine vorsehen – nachträgliche Fädeldrahtinstallationen zwischen Vorder- und Rückseite somit ermöglichen

- Viele neue integrierte Schaltungen sind nur noch als SMD-Varianten erhältlich – nicht auf den Spass mit den neuen Bauteilen verzichten, sondern SMD-Technik dazu lernen!
- SMD-Installation ist leichter als man zunächst annimmt. SMD-Löttechnik und -Handhabung ist erlernbar und mit dem richtigen Werkzeug macht es Spass damit zu arbeiten
- PCB-Design-Rules von dem Leiterplatten-Hersteller herunterladen, installieren und verstehen. Möglichst die Begrenzung der »Design-Rules« nicht vorzeitig ausschöpfen sondern Design-Reserven vorsehen
- »Angstloch« in der Platine vorsehen – nachträgliche Fädeldrahtinstallationen zwischen Vorder- und Rückseite somit ermöglichen

- Viele neue integrierte Schaltungen sind nur noch als SMD-Varianten erhältlich – nicht auf den Spass mit den neuen Bauteilen verzichten, sondern SMD-Technik dazu lernen!
- SMD-Installation ist leichter als man zunächst annimmt. SMD-Löttechnik und -Handhabung ist erlernbar und mit dem richtigen Werkzeug macht es Spass damit zu arbeiten
- PCB-Design-Rules von dem Leiterplatten-Hersteller herunterladen, installieren und verstehen. Möglichst die Begrenzung der »Design-Rules« nicht vorzeitig ausschöpfen sondern Design-Reserven vorsehen
- »Angstloch« in der Platine vorsehen – nachträgliche Fädeldrahtinstallationen zwischen Vorder- und Rückseite somit ermöglichen

Expertenwissen sammeln (2)

- Ein kostenloses Tool eines Herstellers kann leicht die teureren Bauteile kompensieren. Erst bei Massenfertigung kehrt sich das Verhältnis um. (Beispiel: kostenlose XILINX – Vivado WebPack Lizenz für neuere FPGA- und SoC-Bausteine)



- Der Amateurfunk lebt: **neue Technik begeistert eine junge Generation / Maker-Szene.**
- Abwägung: **was mache ich selbst, was lasse ich fertigen?**
- **Kostengünstige Software** ermöglicht dem Amateure, Leiterplattenentwurf sowie **FPGA / CPLD**-Entwicklung auch von zu Hause aus.
- Mit den neu gewonnenen Erfahrungen **motiviert neue Ziele ansteuern.**

Derzeit ist **DF4IAH - V3** in Planung:

- **V3** wird wieder **10 MHz-Referenz** an Bord haben
- mit einem **FPGA** ausgerüstet sein:
 - MCU als **Soft-CPU** realisiert haben (beispielsweise von opencores.org),
 - Typ: Altera Cyclone-III **EP3C40Q240** oder XILINX *Artix*, max. nutzbare Taktfrequenz noch nicht evaluiert. Ganz aktuell: RedPitaya wird derzeit analysiert für ein sogenanntes RadioBox Sub-Modul als Bestandteil des ecosystems.
 - Aufgabe: **GPS-synchronen Takt generieren**,
 - weitere Funktionen möglich, Ideen sind willkommen

- optional **Highspeed ADC** mit **16 Bit Eingang**:
 - Anwendungen: Breitband-Empfänger, Web-SDR Empfänger für das Internet bereitstellen
 - Ausmessen von Funkaussendungen: Laufzeitmessung, Hüllkurve »Fingerprints« von Sendegeräten erstellen und wiedererkennen
 - Breitband-Dekoder diverser digitaler Betriebsarten, auch CW

- mehrere **I-/Q-Ausgänge (1)**:
 - Bitbreite der DAC und Grundtyp noch nicht fixiert — eventuell 8 Bit mittels R-2R – Kette
 - Aufbau eines SDR-Senders / -Empfängers leicht möglich - mittels externer Mischer sofort »steckbar« - fertig ist der »**DF4IAH - Plug Ur SDR - V3**«
 - als Frequenzbasis für Funkstationen, Repeater, digitale Betriebsarten: **PLL-Grundtakt bereitstellen**

- mehrere **I-/Q-Ausgänge** (2):
 - eigene / neue Modulationsarten realisier- und ausmessbar
 - per **DDS** sehr feine Frequenzschritte möglich
 - per **Soft-CPU** auch komplexe Signale möglich bzw. auswertbar
 - Zeitauflösung bei ca. 10 ns: Laufzeitmess-System, Funkortung.

Viel Freude bei der Umsetzung Ihrer Ziele !



Ulrich Habel, DF4IAH.

Von der Idee zur fertigen Platine - ein Werdegang des DF4IAH 10 MHz Ref-Osc. V2 Normfrequenz-Oszillators.

HTTP-Server:

http://dl0wh.de/wp-content/uploads/2015/02/DF4IAH-10MHzRefOsc_V2_Beamer_20150910.pdf



Ulrich Habel, DF4IAH.

Technischer Aufbau des DF4IAH 10 MHz Ref-Osc. V2 Normfrequenz-Oszillators.

HTTP-Server: [.../2015/02/DF4IAH-10MHzRefOsc_V2_UKW60-Skriptum_20150901.pdf](http://dl0wh.de/wp-content/uploads/2015/02/DF4IAH-10MHzRefOsc_V2_UKW60-Skriptum_20150901.pdf)



Ulrich Habel, DF4IAH.

Von der Idee zur fertigen Platine - ein Werdegang des DF4IAH 10 MHz Ref-Osc. V2 Normfrequenz-Oszillators.

HTTP-Server: http://dl0wh.de/wp-content/uploads/2015/05/DF4IAH-10MHzRefOsc_V2.pdf



Ulrich Habel, DF4IAH.

*Aufbauanleitung für den DF4IAH 10 MHz Ref-Osc. V2
Normfrequenz-Oszillator.*

HTTP-Server:

[.../2015/05/DF4IAH_10MHzRefOsc_V2_Aufbauanleitung.pdf](#)



Ulrich Habel, DF4IAH.

*Aufbauanleitung für die DF4IAH LCD-Module. V1
Anzeige-Einheit.*

HTTP-Server:

[.../2015/05/DF4IAH_LCD-Module-1V0_Aufbauanleitung.pdf](#)



Ulrich Habel, DF4IAH.

*Eclipse-AVR Projekt: DF4IAH 10 MHz Ref-Osc. V2 Sourcen
für eine Atmel ATmega 328P MCU.*

SVN-Server Leserechte: auf Anfrage.



Ulrich Habel, DF4IAH.

*VHDL-Sourcen für das CPLD Lattice LC4032V - DF4IAH
10 MHz Ref-Osc. V2.*

SVN-Server Leserechte: auf Anfrage.



Ulrich Habel, DF4IAH.

*Eagle-Layout-Dateien für eine doppelseitige Leiterplatte -
DF4IAH 10 MHz Ref-Osc. V2.*

SVN-Server Leserechte: auf Anfrage.