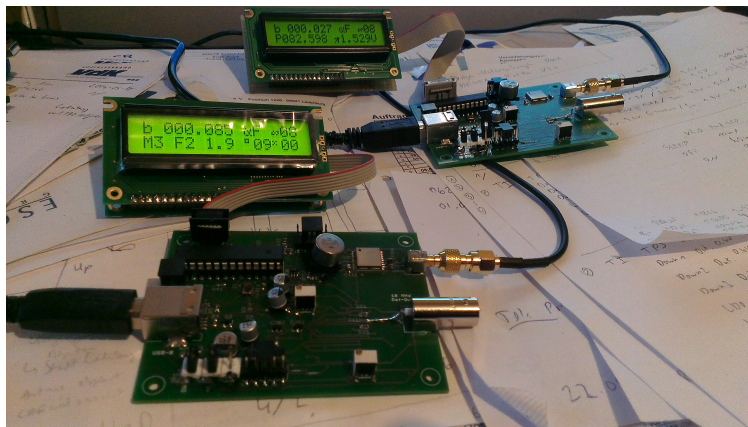


# Aufbauanleitung DF4IAH 10 MHz Ref-Osc V2.x

DF4IAH, Ulrich Habel



2015-04-25

Received \_\_\_\_\_; accepted \_\_\_\_\_

## **Zusammenfassung**

Die vorliegende Dokumentation erläutert die Funktionsweise und den Aufbau des 10 MHz Referenz Oszillators, welcher mit Hilfe von GPS an das weltweite Atomuhren-Netzwerk angebunden wird.

### **1. Funktionsweise der Schaltung**

Bei der vorliegenden Schaltung handelt es sich um einen prozessorgesteuerten 10 MHz Taktgenerator mit einer zeitsymmetrischen Rechteckspannung (50% / 50%) von  $3.3 V_{SS}$ . Auf dem Board befindet sich neben einem Atmel ATmega 328P Prozessor auch ein GPS-Receiver Chip. Dieser erhält seine GPS-relevante Information über den GPS-Hochfrequenz-Eingang, der mit einer Gleichspannung beaufschlagt ist, um damit eine aktive GPS-Antenne zu versorgen. Dieser Eingang darf nicht durch eine passive Antenne kurzgeschlossen werden, daher wird bereits eine solche Aktivantenne mit dem Bausatz mitgeliefert. Das GPS-Modul bestimmt autark seine Zeit- und Positionsinformationen und kommuniziert mit Hilfe von NMEA 0183 mit dem Atmel-Prozessor. Zusätzlich verfügt dieser Chip, welcher auf dem MediaTek MT3333-Chipsatz basiert, einen 1 PPS-Ausgang. Das ist ein Sprungsignal von low nach high, welcher den Beginn einer jeden neuen Sekunde im GPS-System anzeigt. Dieses Signal erfolgt weltweit zum selben Zeitpunkt und ist synchron mit den Atomuhren auf dieser Erde und auf den Satellitenbahnen um uns herum. Dieses PPS-Signal wird für 100 ms gehalten bevor es zurückfällt. Je nach GPS-Chip kann diese High-Zeit variieren und ist auch nicht relevant für dieses vorliegende System.

Weiterhin hat die vorliegende Schaltung einen VCTCXO (spannungsgesteuerter und temperaturkompensierter Oszillator) mit einer Frequenz von 20 MHz. Der Prozessor, ein Atmel ATmega 328P, stellt mittels Taktzähler-Zeitstempel den Low-High-Übergang des 1 PPS-Signals vom GPS-Modul fest und zählt nun seine eigene 20 Millionen

Taktimpulse zwischen zwei steigenden Flanken des 1 PPS-Signals. Daraus lässt sich eine Frequenzabweichung berechnen.

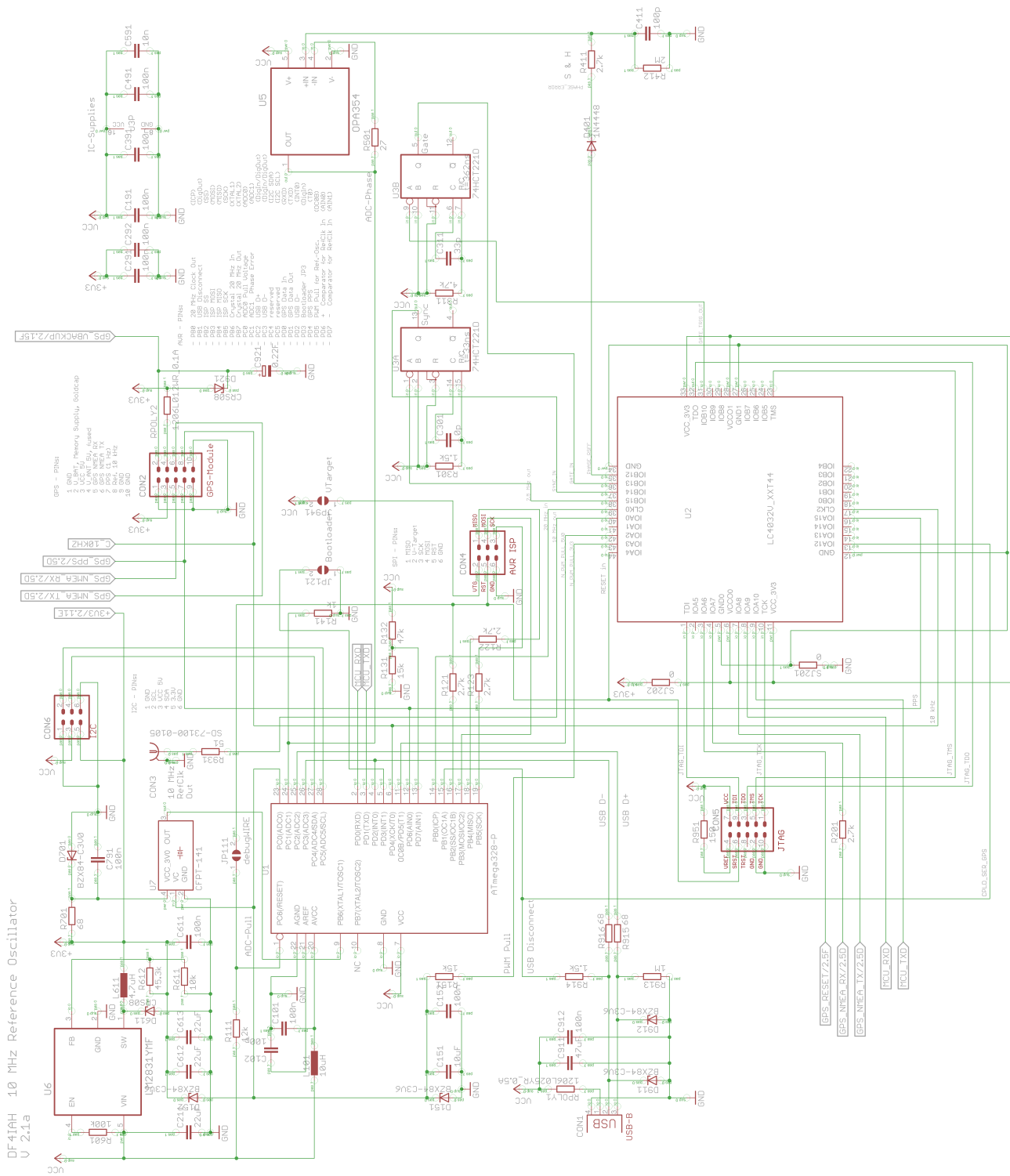


Fig. 1.— Schaltplan, Teil 1 von 3 - Hauptsystem



## 1.1. AFC - Automatic Frequency Correction

Die Frequenzabweichung wird nun durch ein Optimierungsverfahrens verringert, indem der VCTCXO mit einer veränderten Ziehspannung an die 20,000 MHz Vorgabe herangezogen wird. Damit diese Ziehspannung für den VCTCXO zur Verfügung steht, wird mit Hilfe eines PWM-Ausgangs des Atmel-Prozessors das Taktverhältnis entsprechend eingestellt. Der ATmega leitet seine maximale Ausgangsspannung an seinen Anschlüssen von der Betriebsspannung ab. Nun würde in Folge dessen die „High“-Spannung des PWM-Signals von der recht ungenauen USB-Spannung abhängen. Um dieses Problem zu umgehen wird der CPLD damit beauftragt, das 5 V-PWM-Signal zu einem genauen 3,3 V-PWM-Signal zu wandeln und erst dieses dem Tiefpassfilter zur Verfügung zu stellen.

### 1.1.1. PWM - Ziehspannung des VCTCXO

Der ATmega 328P besitzt drei Zeit- und Zählregister, davon eines mit 16 Bit Breite, die anderen zwei mit 8 Bit. Der 16 Bit breite Zähler ist bereits für die Zeiterfassung benötigt, so kann für die PWM nur noch eine 8 Bit Auflösung genutzt werden. Das hat nicht nur einen Nachteil: die Feinheit der Schrittgröße leidet darunter - sondern den Vorteil, dass dadurch der PWM-Takt recht hoch liegt:

$$f_{PWM} = \frac{20\,MHz}{2^8} = 78,125\,kHz$$

Das führte dann zu der Idee, den PWM-Zähler mit einer Fraction-Einheit mit weiteren 8 Bits auszustatten. Dabei läuft ein Sub-PWM Zähler mit und es wird entschieden, ob der vorliegende Integerteil des PWM Werts ausgegeben, oder dieser Integerwert um eins erhöht wird. Das hat zur Folge, dass der ausgegebene Integer-PWM-Wert im Takt von  $f_{PWM_{Sub}} = \frac{78125\,Hz}{2^8} = 305,176\,Hz$  hin- und herkippt. Das nachgeschaltete Tiefpassfilter muss entsprechend eine niedrige Grenzfrequenz aufweisen. Diese daraus resultierende Ziehspannung wird dann dem VCTCXO zugeführt. Ein Spannungshub von 1 V bewirkt

eine Frequenzdrift von rund 2,5 ppm, oder hier als Beispiel  $2,5 \cdot 10^6 \cdot 20 \text{ MHz} = 50 \text{ Hz}$ . Am 10 MHz-Taktausgang wäre das allerdings nur noch eine 25 Hz Frequenzabweichung.

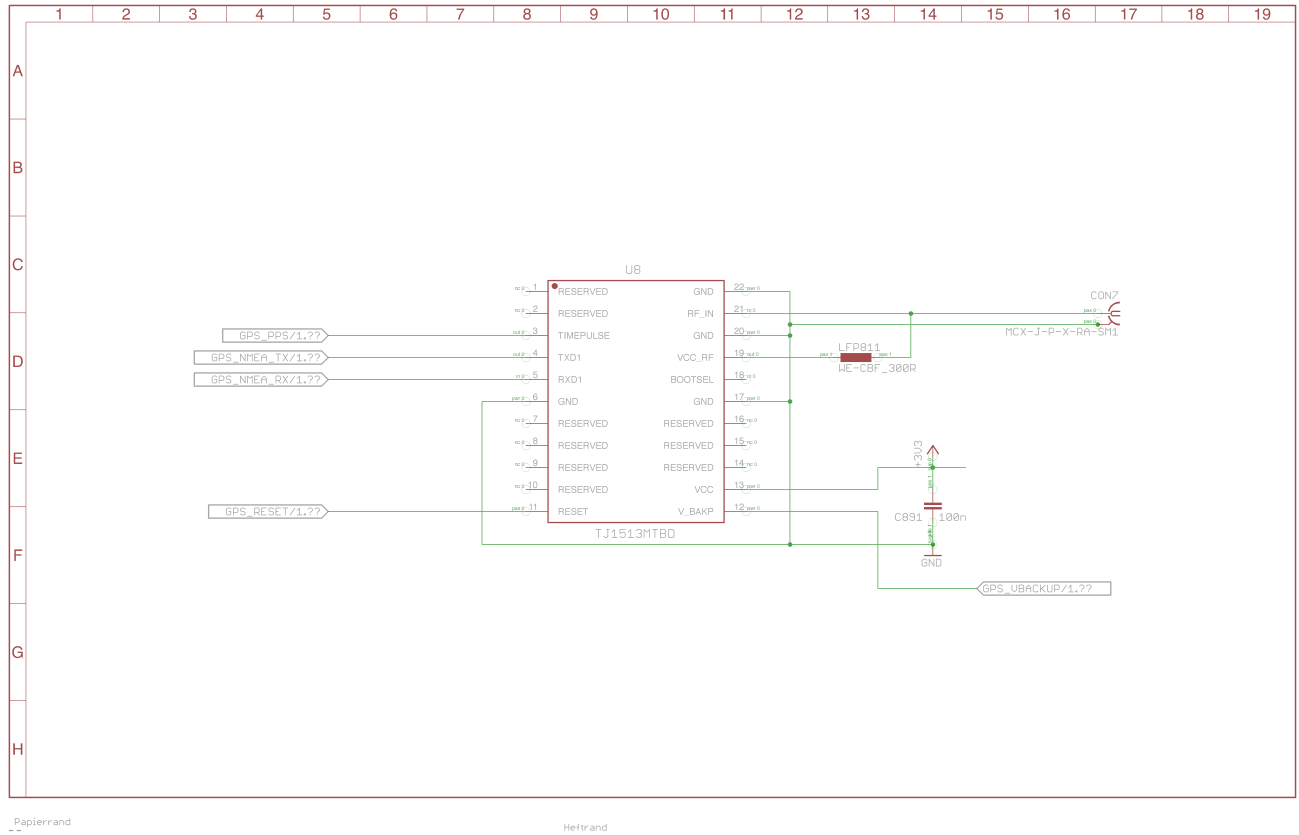


Fig. 2.— Schaltplan, Teil 2 von 3 - GPS-Modul

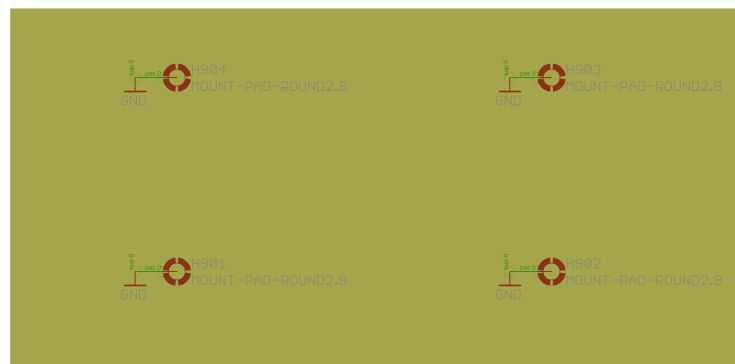


Fig. 3.— Schaltplan, Teil 3 von 3 - geerdete Montagelöcher

## 1.2. APC - Automatic Phase Correction

Viele Bausätze für ein 10 MHz-Frequenznormal begnügen sich mit einer Frequenzzählung und -korrektur. Generell lässt sich zwar die Frequenz recht genau einregeln - hier beim vorliegenden Fall wären das  $\pm 1$  Zählertakte auf 20 Millionen Takte, entsprechend  $5 \cdot 10^8$  oder 50 pbb (parts per billion) - und mit Sicherheit über eine Langzeitmittelung auch noch bessere Werte. Um jedoch an der Langzeitgenauigkeit eines Atomuhren-Systems teilzunehmen ist es nötig, die Phase auszuregeln und dafür sicherzustellen, dass diese nicht übersprungen wird. Somit würde zwar die kurzfristige zeitliche Schwankung der Phasenausregelung typisch für eine Betriebssoftware sein, die langfristige Genauigkeit wäre davon jedoch nicht abhängig.

Im vorliegenden Fall wird eine Phasenauswertung vorgenommen, sobald die AFC eine Genauigkeit von ca. 10 pbb erreicht hat. Dann erfolgt die Übergabe an die Phasenregelung, sobald ein passendes Zeitfenster gefunden ist. Die Vorgabefrequenz für die AFC wird etwas verstimmt, damit das Phasen-Fenster gefunden wird.

Zur eingesetzten Technologie ist zu sagen, dass bei der Phasenauswertung ein schmaler Zeitimpuls benötigt wird, der von einem TTL-Baustein nicht geliefert werden kann. Der genutzte Doppel-Monoflop 74 HCT 221 ist mit 10 MHz überbeansprucht, kommt aber mit 2,5 MHz noch klar. Daher erfolgt die Phasen-Auswertung mit der reduzierten Frequenz, was allerdings zur Folge hat, dass die Phase nur bei jeder vierten Taktflanke des 10 MHz-Taktes einrasten kann. Daher kann es zeitlich etwas dauern, dass nach Freigabe der AFC ( $\alpha=2$ ) die APC noch etwas Zeit benötigt, bis eine Vergleichsspannung am Prozessor anliegt. Diese Spannung wird nach einem Tiefpass hochohmig abgegriffen, was ein FET-OpAmp mit einer 1:1-Verstärkung entsprechend entkoppelt.

Für die Logikgatter wird ein CPLD von Lattice genutzt, der alle Aufgaben der Logik und „Glue-Logik“ in sich vereint, der Monoflop ist jedoch damit nicht abbildbar und musste daher explizit in der Schaltung vorgesehen werden.

### 1.3. CPLD als Logik-Sammelstelle

Wie im vorherigen Abschnitt bereits erläutert versammelt das CPLD TTL-Gatter und -Zähler in sich um die Anzahl der verstreut benötigten TTL-Bausteine zu minimieren. Als angenehmer Nebeneffekt ist der Stromverbrauch geringer, die Durchlaufzeiten der Gatter z.T. erheblich kürzer (höhere Grenzfrequenz) und in einem gewissen Rahmen kann die „Schaltung“ auch noch nachträglich mit einer veränderten Konfiguration angepasst oder optimiert werden. Bei der Erstellung der CPLD-Konfiguration kam VHDL als Hochsprache zum Einsatz. Diese Sprache ist normiert und ermöglicht, dass diese Schaltungs- und/oder Verhaltensvorschrift auf einen anderen Chip oder einer anderen Architektur übernommen werden kann.

Die vorliegende Schaltung hat daher zu dem CPLD Chip auch noch einen Programmier-Stecker aufgebracht bekommen, damit die CPLD Konfiguration bereits vor der Fertigstellung der aufzubauenden Schaltung eingespeichert hat. Das CPLD wird mit 3.3 V betrieben, ist allerdings an seinen Eingängen 5 V resistent- Somit wird er auch bei der Pegelwandlung vom PWM-Ausgang des ATmega Prozessors, der mit einer recht variablen 5 V Versorgung betrieben wird, auf eine fein ausgeregelte 3.3 V umgesetzt. Das ist für eine genaue Ziehspannung nötig, um nicht von der USB-Bus-Belastung abhängig zu sein. Die Handmuster hatten das noch nicht berücksichtigt gehabt und es zeigte sich als notwendig, dies zu beachten.

Nachfolgend die auf RTL abgebildete Schaltung, die mittels VHDL in dem CPLD abgebildet wurde:

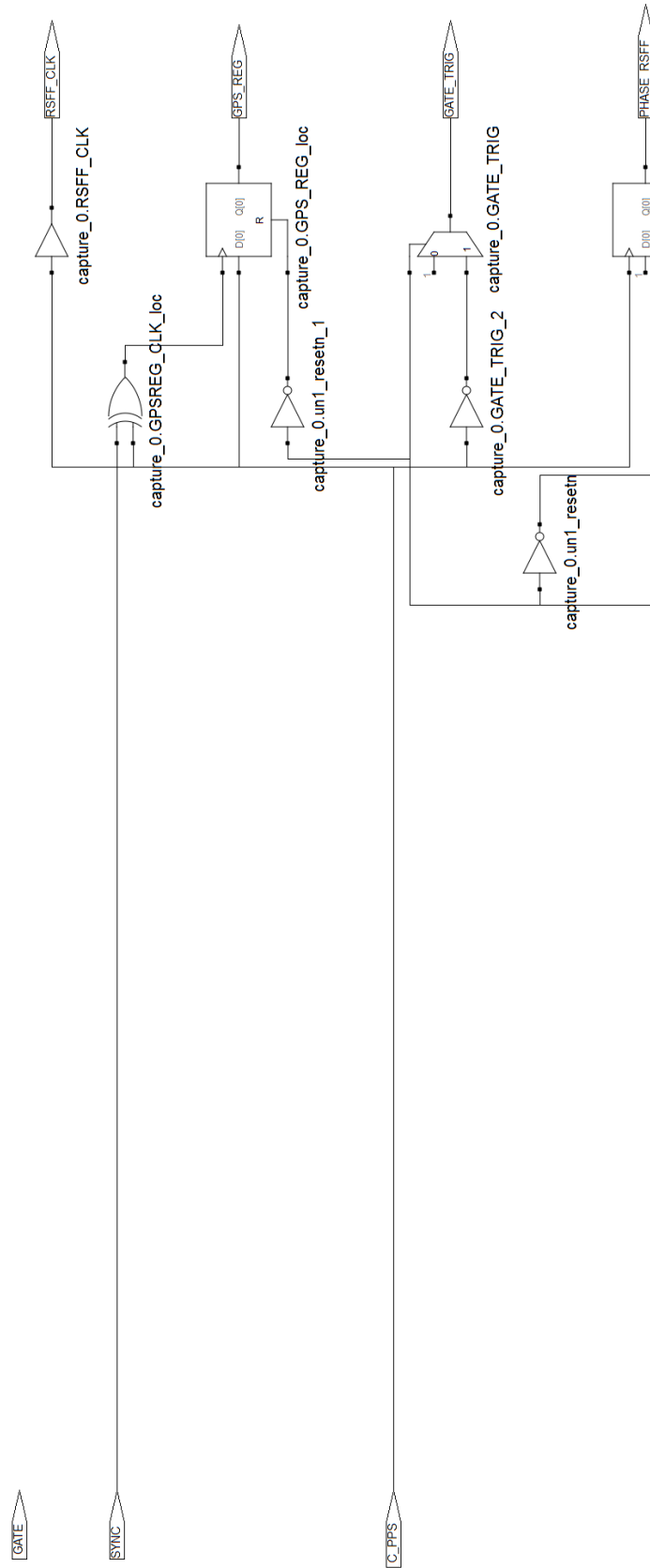


Fig. 4.— CPLD Kombinatorik - Teil 1

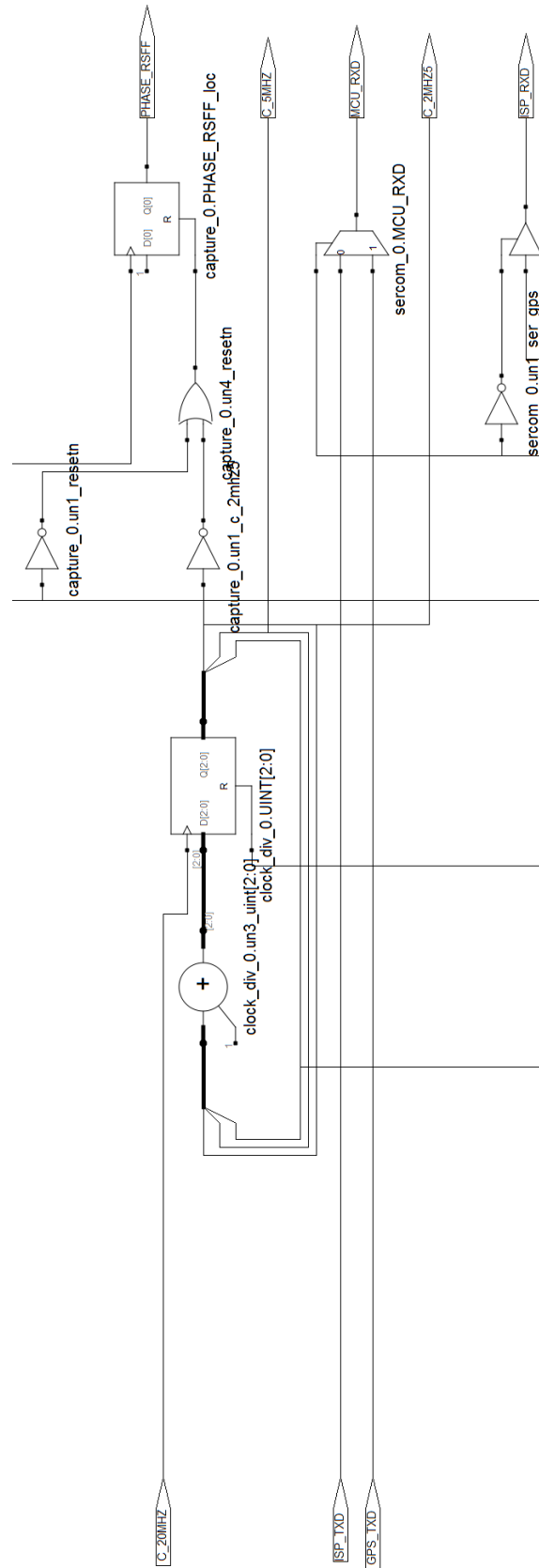


Fig. 5.— CPLD Kombinatorik - Teil 2

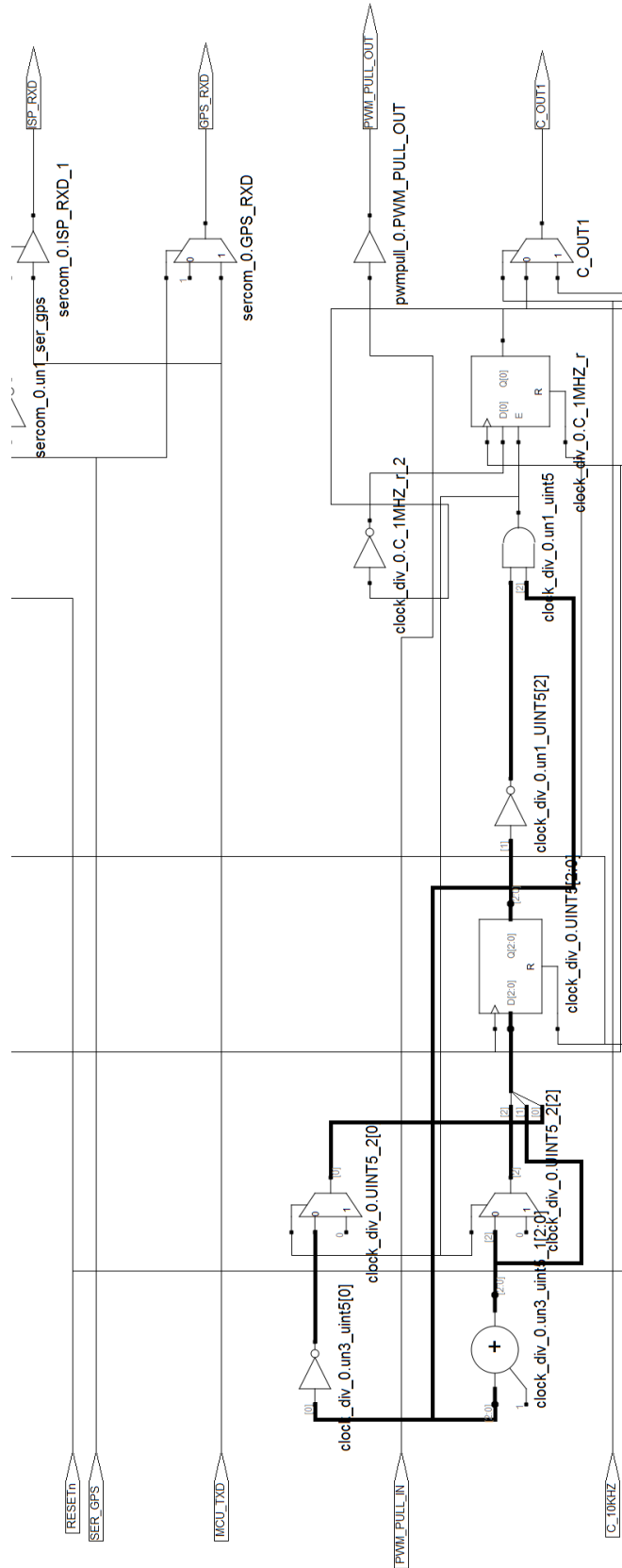


Fig. 6.— CPLD Kombinatorik - Teil 3

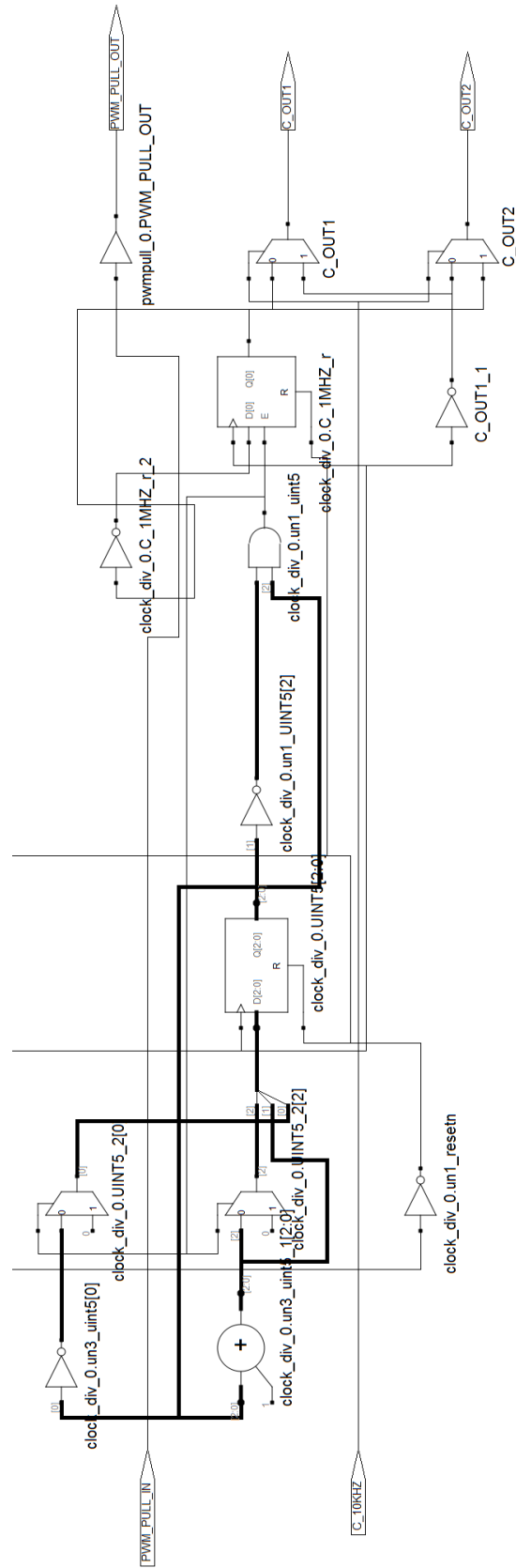


Fig. 7.— CPLD Kombinatorik - Teil 4



#### 1.4. Atmel ATmega 328P

Zu dem Prozessor wurde bis an diese Stelle schon recht viel gesagt, und in der Tat wäre der Referenz-Generator noch sehr viel kleiner ausgefallen, wäre keine Phasenbeziehung mit berücksichtigt worden. Denn alle Aufgaben erledigt der ATmega bereits von zu Hause aus, oder konnte in diesem Fall durch Interrupt-Software hinzugefügt werden:

- 20 MHz Takt erzeugen, am Clock-Eingang liegt das niedrig gepegelte VCTCXO-Signal an und wird am Pin 14 verstärkt ausgegeben
- mit Hilfe eines PWM-Ausgangs lässt sich eine sehr genau Breite des Signals erzeugen (8 Bit Integer / 8 Bit Fractional), in dem nachfolgenden Tiefpass wird daraus die Ziehspannung des VCTCXOs
- die USB-Kommunikation ist zwar von Hause aus nicht für diesen Chip vorgesehen, dank der „VUSB“-Umsetzung in Assembler-Code ist dies in einem begrenzten Umfang dann doch möglich. Jedoch ist das daraus resultierende Prozessor-System sehr stark durch Interrupts beansprucht. Durch viel Mühe mussten alle anderen Programmteile daran angepasst werden um die USB-Verbindung durch neuen Programmcode nicht zu stören
- zwei Signale wurden reserviert und dann doch noch aktiviert: der I<sup>2</sup>C-Bus. Dieser ermöglicht nun ein angeschlossenes LCD-Modul, den aktuellen Zustand des Referenz-Oszillators darzustellen
- über die A/D-Wandler-Kanäle kommen die Ziehspannung und die Phasen-Diskriminator Spannung an. Die Chip-Temperatur wird ebenfalls per internen A/D-Kanal ermittelt
- eine serielle Schnittstelle zum GPS-Modul ermöglicht die Auswertung der aktuellen Empfänger-Daten, ebenso aber auch die Steuerung des GPS-Empfängers

- natürlich dürfen die Zeit-Impuls-Informationen nicht fehlen, diese gelangen ebenfalls über Timer-Kanäle zur CPU, wobei aus historischen Gründen auch ein 10 kHz-Eingang zur Verfügung steht. Ältere GPS-Module haben einen solchen Ausgang noch bereitgestellt, was jedoch inzwischen kaum noch anzutreffen ist
- letztendlich steht dann noch eine ISP-Programmier-Buchse zur Verfügung, die allerdings gar nicht mehr benötigt wird, da die Bootloader-Firmware ein Programmieren der Firmware direkt am USB-Bus ermöglicht. Das Programmieren ist allerdings nur möglich, wenn der Jumper „BL“ gesetzt ist und dann neu gestartet wird. Das lässt dann den Bootloader anlaufen

Weiterhin ist der Prozessor mit einer Taktrate von 20 MHz recht flott und der Befehlssatz ist trotz der RISC-Architektur nicht unnötig verkrüppelt, der viele zusätzliche Programmschritte zur Folge hätte, um das gleiche Ziel eines CISC-Prozessor zu erreichen. Zusätzlich sind die RISC-Befehle mit wenigen Arbeitstakten abgearbeitet, so entsteht ein sehr performantes System bei dennoch einer sehr geringen Leistungsaufnahme.

### **1.5. Der 3,3 V Schaltregler**

Die erste genutzte Betriebsspannung der vorliegenden Schaltung ist die 5 V-Betriebsspannung des USB-Bus. Diese Spannung wird für den ATmega-Prozessor genutzt, damit er bei einer 20 MHz-Betriebsfrequenz innerhalb seiner Spezifikationen betrieben wird. Weiterhin wird diese Spannung für den TTL Monoflop verwendet, für die Weiterreichung an das LCD-Modul oder auch für die Versorgung des FET-OpAmps.

Andere Bausteine, dazu gehören das GPS-Modul wie (leider) auch der CPLD von Lattice benötigen zwingend eine Betriebsspannung von 3,3 V. Diese wird von einem 5-poligen Schaltregler LM2831 bereitgestellt. Als Nebeneffekt nimmt die Leistungsaufnahme

geringfügig gegenüber eines Linear-Wandlers ab. Die Regelspannung von 0,6 V wird über einen Widerstands-Spannungsteiler realisiert, der bei Bedarf dort noch feinjustiert werden könnte.

### **1.6. Die 3,0 V Spannungsversorgung**

Für den VCTCXO wird eine Betriebsspannung von 3,0 V benötigt. Mit der geringfügig höheren Spannung von 3,3 V würde dieser außerhalb seiner Spezifikation betrieben werden. So wird über Vorwiderstand und paralleler Z-Diode, sowie einer Schrotrauschsiebung, diese Versorgungsspannung dem VCTCXO bereit gestellt.

## 2. Aufbau der Schaltung

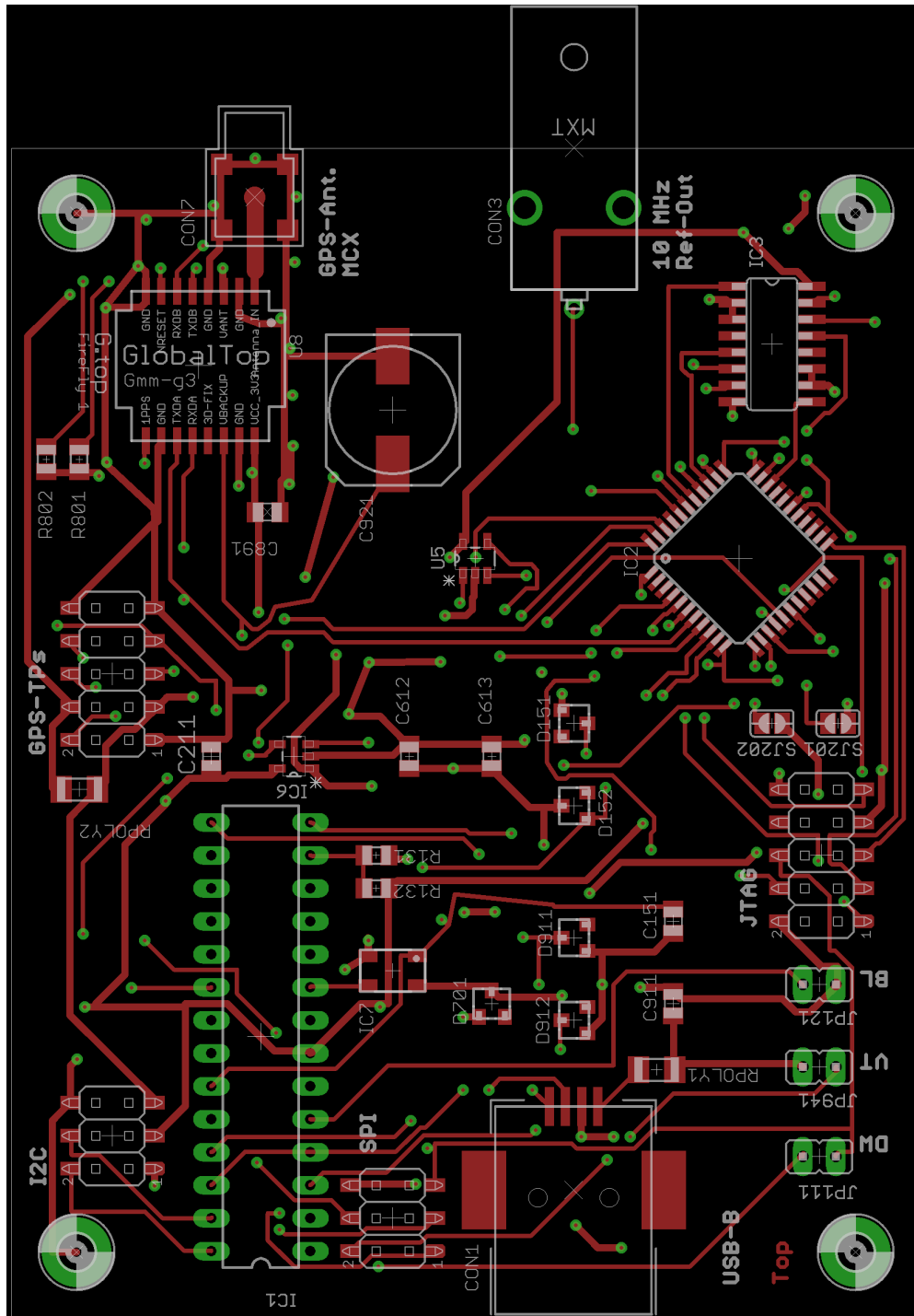


Fig. 8.— Bestückung: Oberseite

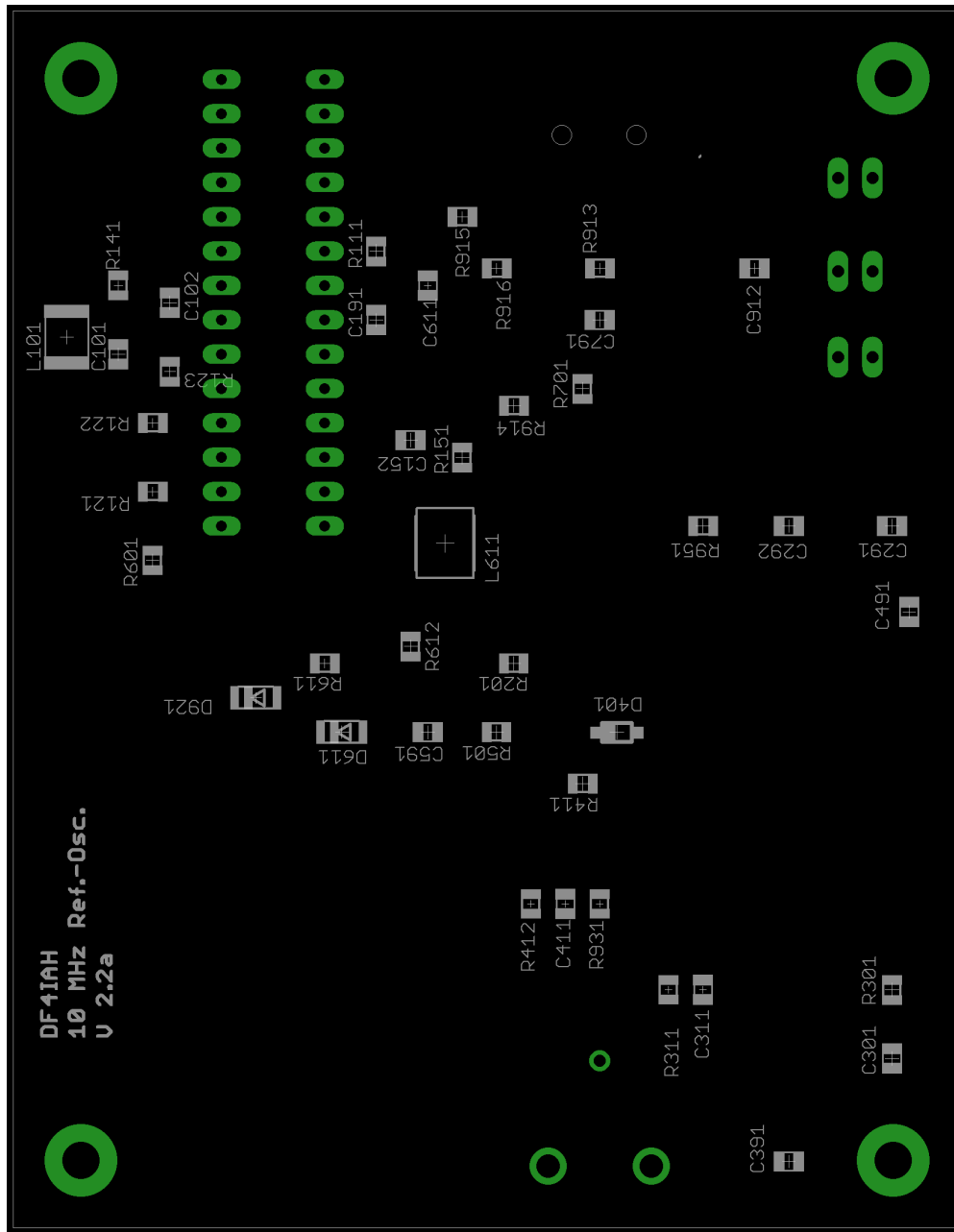


Fig. 9.— Bestückung: Rückseite

Nachdem nun die Funktionsweise vorgestellt wurde ist der Aufbau der Schaltung vorgesehen. Die dazu entwickelte Leiterkarte misst 90 mm x 70 mm und ist dadurch kleiner als eine Europa-Platine, die Bohrlöcher sind 80 mm x 60 mm auseinander. Vorzugsweise wird auf

SMD-Technik gesetzt, da eine Vielzahl von Bauteilen entweder nicht mehr als DIL-Variante vorhanden waren, oder aber auch der Platzbedarf in diese Richtung zielt. Weiterhin ist die SMD-Technik sicherlich ein Gebiet, wovor sich der Funkamateurler nicht fürchten muss - die Fähigkeiten sind erlernbar, um diese Bauteile letztendlich zu montieren.

Die Leiterplatte gibt es derzeit in drei Varianten, die V2.1 nutzt den GPS-Chip von Linx, der V2.2 den GPS-Chip von GlobalTop und die V2.3 den GPS-Chip von MediaTek selbst. Alle drei GPS-Module nutzen dabei den Chip-Satz von MediaTek „MT3333“. Ansonsten gibt es keine Unterschiede im Aufbau.

Die kritischsten Bauteile sind bereits aufmontiert, da sie eine fortgeschrittenere SMD-Bearbeitung benötigen, oder nicht mit Hilfe eines Lötkolbens montiert werden. Weiterhin ist das bereits bestückte CPLD in der Schaltung programmiert und verifiziert worden. Der Taktgenerator wird per Heißluft und Lötpaste aufgebracht, was ich ebenfalls nicht zwingend dem Nachbauer aufbürden möchte.

Die nachfolgende Empfehlung ist kein Muss, sondern einfach nur eine Gedankenstütze. Begonnen habe ich mit den flachen Bauteilen, allen aktiven Bauteilen, ergänzte sie dann um die passiven Bauteile. Lediglich die Spannungsversorgung habe ich zuerst komplett aufgebaut und überprüft. Das CPLD kann mittels SJ202 von der 3,3 V-Versorgung getrennt werden, bis diese letztendlich stabil zur Verfügung steht. Das GPS-Modul ist zwar nicht von dieser Spannungsschiene trennbar, allerdings ist mir noch nichts Negatives bezüglich Betrieb an 5 V berichtet worden.

Nachdem die 3,3 V-Regelung funktioniert kann mit der 3,0 V-Versorgung fortgefahren werden. Damit sind dann alle Versorgungsspannungen vorhanden und Baugruppen betriebsbereit.

Als Nächstes werden die beiden linken Jumper „DW“ (DebugWire - nicht benutzt) und „VT“ (Referenzspannung für den ISP-Anschluss) gebrückt, der „BL“ (Bootloader) wird dagegen

nicht überbrückt.

Falls vorhanden, wird nun das LCD-Modul angeschlossen. Dabei auf Richtigkeit der Polung achten. Die farbmarkierte Ader der Flachbandleitung zeigt immer auf Pin 1/2 der I<sup>2</sup>C-Stiftleiste, jeweils bei dem großen Board wie auch bei der LCD-Expander Schaltung gleichermaßen.

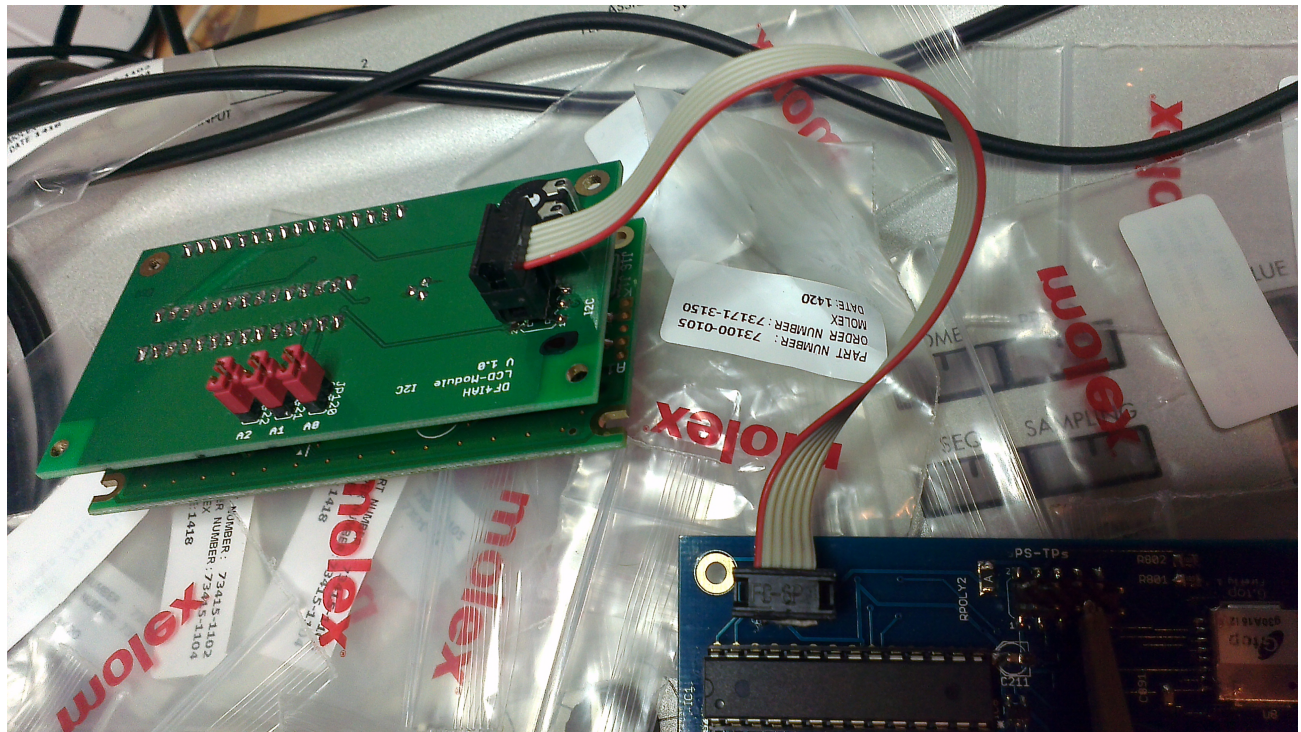


Fig. 10.— LCD-Module - Anschluss Flachbandkabel

Nach Anlegen der USB-Spannung kann zuerst die Stromaufnahme überprüft werden, sie sollte bei etwa 100 mA liegen, anfänglich auch etwas höher bis der Gold-Cap Kondensator aufgeladen ist.

Weiterhin kann überprüft werden, ob der GPS-Baustein seine serielle Informationen an CON2-Pin 6 ausliefert. Dazu ist es hilfreich, die mitgelieferte GPS-Antenne mittels MCX-SMA Adapter anzuschließen. Die NMEA-Daten sind auf 9600 Baud, 8, N, 1 Stopp-Bit

voreingestellt. Diese können nach einer TTL (3,3 V) nach V24 Umsetzung an einem Terminal-Programm sichtbar gemacht werden.

Wer ein LCD-Module mit bestellt hat, kann überprüfen, ob nach dem Anschluss des Moduls dieses beim Einschalten der Gesamtleiterplatte leuchtet und eine Initialisierungsnachricht erscheint. Wenn das so ist, jetzt schon einmal ein „Glückwunsch“.

Am BNC-Ausgang liegt eine Frequenz an, die bereits am Anfang schon sehr nah an 10 MHz sein wird, da die gespeicherte PWM-Einstellung bei einem Neustart sofort angewählt wird.

Nach einer Betriebszeit von rund einer Minute und einer guten GPS-Antennen-Position füllt sich der Ephemeriden-Speicher des GPS-Moduls, die Zeit- und Positionsinformationen werden bestimmt und die ersten 1 PPS-Signale gelangen an den ATmega. Im Laufe der Zeit wird der zeitliche Jitter des GPS-Moduls geringer und geht unter 100 ns zurück. Es ist aber nötig, dass das Modul (zumindest das erste Mal nach längerer Zeit Pause) für mehr als 30 Minuten läuft, bevor auf die 10 MHz Referenz zurückgegriffen wird. Erst nach dieser längeren Laufzeit speichert sich das GPS-Modul auch Almanach-Informationen ab, die eine längere Lebenszeit haben (mehrere Tage und nicht nur wenige Stunden) und aus welchen bei einem Neustart die aktuellen Ephemeriden berechnet werden können. Damit funktioniert der Neustart dann schneller.

Eine weitere bemerkenswerte Eigenschaft ist es, dass dieses Modul auch Differential-GPS-Informationen auswerten kann. Dadurch werden örtliche Korrekturwerte mit berücksichtigt, die das GPS nochmals zeitlich wie auch örtlich präzisieren. Die DPGS-Daten liegen in der Regel nicht innerhalb der ersten Viertelstunde zur Verfügung, sondern werden langsam zusammengetragen. Sobald der GPS-Receiver DPGS nutzt, wechselt in der LCD-Statuszeile der „F“-Wert von „F1“ auf „F2“.

Somit ist der Aufbau beendet, es folgt der weiterführende Funktionstest.



Fig. 11.—Schaltungslayout

## 2.1. wichtige Fehlerkorrektur bzgl. R311

Bei den ersten Boards der Versionen V2.1, V2.2 und V2.3 lag ein Designfehler vor. Wegen der Falschplatzierung des Bauteils R311 und einer querschießenden Leiterbahn ist ein Booten des Systems nur mit der Bootloader-Software möglich. Der R311 gehört zum Monoflop IC3 und ist dort für die Haltezeit zuständig. Anstatt dort, ist das Bauteil fälschlicherweise auf der Rückseite des Jumpers JP121 platziert worden. Dabei schließt diese Leitung von R311 diesen Jumper kurz und erdet sich dabei zusätzlich.

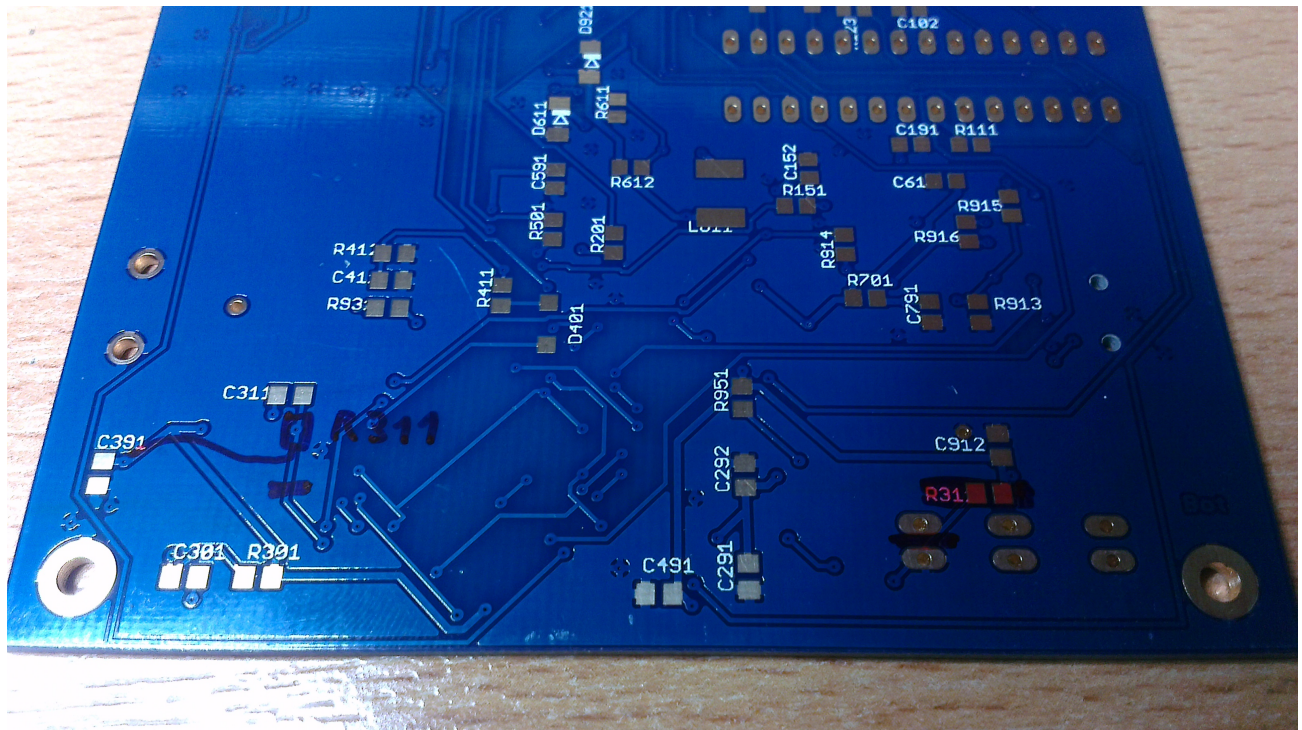


Fig. 12.— Leiterbahnänderungen R311 bei Versionen: V2.1, V2.2 und V2.3

Folgende Korrekturen sind nötig, damit die Schaltung wie vorgesehen funktioniert:

1. Auftrennen der Schaltung mit Skalpell oder Teppichmesser. Diese Vorarbeit ist bei den Bausätzen allerdings bereits erledigt:

- (a) Rückseite des JP121 „BL“ Jumpers. Dort zwischen den Stiften den Kurzschluss zwischen Erde und des Boot-Selektors auftrennen,
  - (b) ebenfalls auf der Rückseite die weit führende Leitung von R311 bis kurz vor dem IC3 muss auf der Rückseite zwischen R301 und C311 unterbrochen werden.
2. Der alte Platz für den R311 wird nicht bestückt. Er befand sich direkt rückseitig über den Anschlüssen der beiden Jumper JP121 und JP941.
  3. Der neue Platz für den R311 ist rückseitig bei C311, so dass der rechte Anschluss des C311 einen rechten Winkel mit dem neuen R311 bildet. Sie werden direkt Bauteil an Bauteil gelötet.
  4. Eine Leitung wird auf der gegenüberliegenden Seite des R311 zum oberen Anschluss des C391 gelegt.

Die obige Fotografie zeigt die Änderungen mit dem roten Farbstift. Beachten sollte man, dass die Durchtrennung der Leiterbahnen sicher gemacht sind und der Draht zwischen R311 und C391 stabil angelötet ist.

Ich bitte den zusätzlichen Umstand zu entschuldigen!

### **3. Funktionstest**

Nach dem Aufbau kann nun die Funktion getestet werden:

- Ohne LCD-Modul kann überprüft werden, ob das 10 MHz Signal aus der BNC-Buchse kommt. Es soll ein Tastverhältnis von 50% zu 50% bei einer Spitzenspannung von ca. 3,3 V haben.
- Am CON2-Pin 6 sollen NMEA 0183 Daten aus dem GPS-Modul übermittelt werden. Diese gelangen über den Datenmultiplexer im CPLD dann zum ATmega auf Pin 2.

- Am CON2-Pin 7 sollen, sobald ein sicherer GPS-Empfang vorliegt, die 1 PPS-Sekundenimpulse anliegen.
- Wird das LCD-Modul zusätzlich betrieben, lassen sich eine Vielzahl von weiteren Informationen ablesen, die Details folgen.

### 3.1. LCD-Modul Statusinformationen

Nach dem Power-up wird das LCD-Modul erkannt und initialisiert. Dabei wird die Hintergrundbeleuchtung eingeschaltet und eine Versionsinformation wird für sechs Sekunden lang präsentiert. In der Zwischenzeit läuft das Zeiterfassungssystem bereits im vollen Umfang. Das GPS-Modul wird initialisiert und aktiv beobachtet.

Nach der Initialisierungsmeldung baut sich das Display in folgende Teile auf:

- Die obere Zeile enthält immer die gleiche Information in folgender Form:  
**b 000.123    $\alpha$ F    $\infty$ 12.**
  - Dies bedeutet, dass die Kurzzeitabweichung hier rund  $0.123 \text{ pbb} = 0.123 \cdot 10^{-9}$  ist. Zum Vergleich würde das hier nun eine Kurzzeitabweichung der Frequenz von 1,23 mHz bedeuten.
  - Das  $\alpha$  gibt die Genauigkeitsklasse an. Es gibt folgende  $\alpha$ -Werte:
    - \* 0: die ausgegebene Frequenz steht in keiner Relation zu dem 1 PPS-Signal. Meistens deswegen, weil der GPS-Chip bislang keine Zeitinformationen anliefert
    - \* 1: die Frequenz ist in den Fang-Bereich gerückt und ist nur noch wenige ppm von der Zielfrequenz entfernt

- \* 2: die Frequenz wird stabilisiert und steht noch eine kurze Zeit unter Beobachtung. Hier kann es noch vorkommen, dass das GPS-Modul nach dem Einschalten große Zeitsprünge macht, was verhindert, dass diese Genauigkeitsklasse verlassen werden kann
  - \* 3: die Frequenz ist stabil und das Phasen-Vergleichs-Modul sucht nach einem übereinstimmenden Phasenfenster. Auf Grund einer absichtlichen leichten Verstimmung der Frequenz-Such-Einheit wird das Fenster in den nächsten 30 Sekunden gefunden werden
  - \* 7: der Phasen-Vergleicher hat das Fang-Fenster erreicht, die Kontrolle geht nun an die APC (Automatic Phase Control)-Einheit weiter
  - \* F: die Phase ist stabilisiert, der 10 MHz Frequenz-Ausgang kann nun genutzt werden, wenn dieses System nach der Anlauf-Phase nicht mehr aus dieser Genauigkeitsklasse herausfällt
  - \* auch wenn die APC die Kontrolle übernommen hat, wird die mittlere Frequenzabweichung überschritten, so reißt die AFC (Automatic Frequency Control)-Einheit die Kontrolle wieder an sich und regelt zuerst die Frequenz wieder ein. Dies ist nötig, falls der Phasenvergleicher bei seinen anfänglichen groben Korrekturen aus der Phase springt und dadurch genau 1 Hz über oder unter der Nominalfrequenz liegt. Dann ist es nötig, dass die AFC erneut den Korrekturvorgang durchführt. Das Verfahren wurde jedoch nach einer Software-Änderung nicht mehr beobachtet, da die Genauigkeitsklassen nun nicht mehr beliebig schnell durchlaufen werden können, sondern zuerst jeweils eine Qualifizierungsdauer überstehen muss
- Das Satellitensymbol zeigt die Anzahl der derzeit genutzten (tracked) Satelliten an. In der Regel liegt diese Zahl niedriger als die Summe aller Satelliten, die über dem Horizont stehen. Mehr dazu weiter unten.

- Die untere Zeile hat drei Informationsfelder, die jeweils nach drei Sekunden vom nächsten Feld abgelöst wird

**1. 20150102 U123456**

- Das UTC-Datum wäre der 02. Januar 2015. Zuerst also das Jahr, dann zweistellig der Monat, dann zweistellig der Tag.
- Die UTC Uhrzeit. In bisher noch seltenen Fällen kann diese Zeit genau um eine Sekunde abweichen. Dann einfach nochmals starten. Die Ursache für dieses Phänomen liegt auf dem GPS-Modul und der Vorgang ist bislang noch nicht verstanden.

**2. M3 F2 1.2 °12 \*00**

- Der M-Wert gibt an, welche GPS-Information derzeit zur Verfügung steht:
  - \* M1: es liegt derzeit keine GPS-Positions- und Zeit-Information zur Verfügung
  - \* M2: es liegt derzeit eine 2D-Information vor, das genügt aber nicht, dass Zeitimpulse geschickt werden
  - \* M3: es liegt derzeit eine 3D-Information vor, die Zeitimpulse können ausgewertet werden
- Der F-Wert gibt an, ob Differential-GPS-Informationen genutzt werden:
  - \* F1: derzeit werden keine DGPS-Informationen genutzt, die Zeitbasis ist dadurch stärker von Abweichungen betroffen
  - \* F2: derzeit werden DGPS-Informationen genutzt, die Zeitbasis ist dadurch auch recht genau und der resultierende Jitter geringer als bei F1
- 1.2 gibt den DOP-Wert an, eine GPS relevante Größe, die eine Genauigkeitszahl darstellt. Wünschenswert ist eine Zahl von besser als 1.5 für eine

ausreichend genaue Zeitinformation, der Jitter vergrößert sich auch mit dem DOP Wert. Hat die GPS-Antenne eine gute Sicht zum Himmel und kann auf jeden sichtbaren Satelliten zugreifen, so wählt sicher der GPS-Empfänger eine solche Geometrie, die zu einem geringen Fehler führen. Das wird dann auch mit DOP-Werten von 1.2 oder besser bewertet. Ist dagegen ein Teil des Himmels abgeschattet, oder die GPS-Antenne sogar nur direkt am Fenster, so kann nur auf einen kleinen Teil der Satelliten zurückgreifen, die dann zur Verfügung stehen. Dadurch muss eine gewisse Geometrie akzeptiert werden, die zu größeren Fehler führen. Werte von über 2.0 sagen aus, dass man sich um eine bessere Positionierung der Empfangsantenne kümmern sollte.

- Der °-Wert besagt, wie viele westliche Satelliten (GPS, QZSS und Galileo) gemäß den aktuellen Ephemeriden über dem Horizont sein sollten. Die Tabelle der Ephemeriden füllt sich nach dem Einschalten und nimmt leicht Werte um oder größer 10 an.
- Der °-Wert besagt, wie viele östliche Satelliten (Glonass oder BeiDou, je nach Chip-Satz) gemäß den aktuellen Ephemeriden über dem Horizont sein sollten. Die Tabelle der Ephemeriden füllt sich nach dem Einschalten, kann aber auch bei Null verbleiben. Zu Jahresanfang konnten die Glonass-Satelliten empfangen werden, seit April 2015 ist das derzeit nicht möglich. Die Ursache ist noch nicht verstanden.

### 3. **P105.123 ↗1.394V**

- der P-Wert gibt die aktuelle PWM-Einstellung für die Ziehspannung an. Da der PWM-Generator durch einen Software-Kniff auch fractional arbeitet, steht hier an dieser Stelle eine reelle Zahl
- der Pfeil-Wert gibt die gemessene Ziehspannung an. Es ist allerdings zu beachten, dass in der vorliegenden Schaltung der ADC-Referenz-Wert von



der anliegenden Betriebsspannung abhängig ist. Somit kann der angezeigte Wert bei USB-Spannungsschwankungen beeinflusst werden. Der ADC-Wert hat keine Verwendung innerhalb der Regelungs-Software, sondern dient nur zur Information.

Bei dem Aufbau wünsche ich viel Erfolg. Bei evtl. Problemen bitte ich darum, mich zu kontaktieren, damit wir dann eine Lösung finden.



Fig. 13.— LCD-Module - Datums-Information



Fig. 14.— LCD-Module - Satellitenstatus





Fig. 15.— LCD-Module - VCTCXO Ziehspannungs-Status

Für weitere Informationen gibt es diesen Link:

[http://bg8net.dyndns.org/p/AFu/2015/DF4IAH-10MHzRefOsc-V2/Doc\\_LyX-TeX/](http://bg8net.dyndns.org/p/AFu/2015/DF4IAH-10MHzRefOsc-V2/Doc_LyX-TeX/)

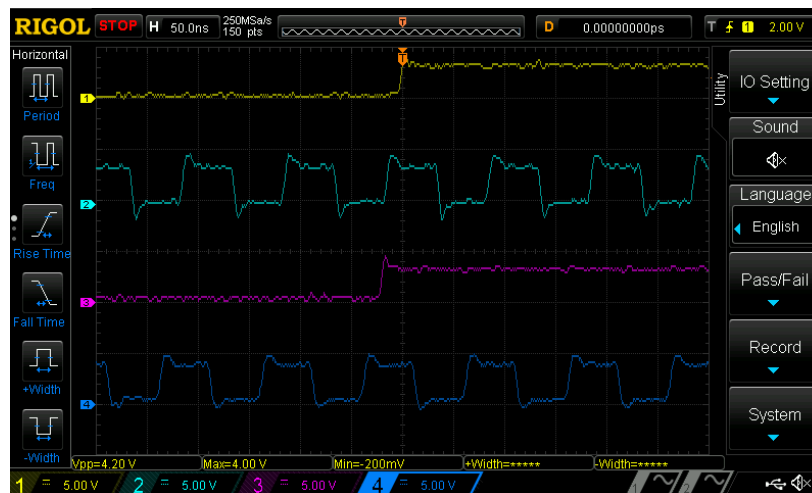


Fig. 16.— zwei 10 MHz-Ref-Osc Module im parallelen Betrieb

Vy 73

Uli, DF4IAH